

เทคโนโลยี ดีแรมชนิดฝังตัว

: การเปรียบเทียบและข้อดี/ข้อเสีย

PB.

ดีแรมชนิดฝังตัวกำลังได้รับความนิยมนำมาประยุกต์ใช้งานกับอุปกรณ์อิเล็กทรอนิกส์ และอุปกรณ์สื่อสารทั่วไปมากขึ้น แมว่ยังคงมีประเด็นเรื่องการทดสอบอยู่ก็ตาม แต่การนำเทคนิคแบบต่างๆมาใช้ร่วมกัน โดยยึดหลักของข้อกำหนดการใช้งาน ในขั้นตอนของการออกแบบแล้วจะช่วยลดต้นทุนและเพิ่มสมรรถนะของอุปกรณ์นั้นๆได้...

การที่เทคโนโลยีดีแรมชนิดฝังตัว (Embedded DRAM) ได้รับความนิยมอย่างรวดเร็วในการนำมาประยุกต์ใช้งาน โดยเฉพาะกับการออกแบบอุปกรณ์ที่เน้นสมรรถนะเป็นหลัก นั้นมีสาเหตุสืบเนื่องมาจาก ดีแรมชนิดนี้มีสมรรถนะที่สูงกว่า ใช้ซิลิกอนน้อยกว่า อีกทั้งยังกินไฟต่ำกว่า เมื่อเทียบกับ หน่วยความจำแบบแยกส่วนที่ใช้กันอยู่เดิม ตามปกติแล้วในตลาดสินค้าที่ราคาเป็นปัจจัยหลักในการตัดสินใจของผู้ซื้อ การผลิตอุปกรณ์ที่ต้องมีหน่วยความจำขนาดใหญ่ต้องใช้หน่วยความจำแบบแยกส่วนเท่านั้นจึงจะคุ้มทุน แต่เมื่อในปัจจุบัน หน่วยความจำแบบดีแรมชนิดความหนาแน่นน้อยเริ่มหาได้ยาก ทำให้ราคาของมันขยับสูงขึ้นตามไปด้วย นักออกแบบก็เริ่มเล็งเห็นว่าหากนำดีแรมชนิดฝังตัวที่ระดับความจุไม่เกิน 16 Mbite มาใช้งานจะคุ้มทุนกว่าการใช้หน่วยความจำแบบแยกส่วน

การใช้ดีแรมชนิดฝังตัวนี้ ยังช่วยให้ในการออกแบบแผงวงจร (Board) ทำได้สะดวกขึ้น เป็นการช่วยลดต้นทุนและเวลาในการผลิตลง แต่ที่สำคัญยิ่งไปกว่านั้นคือ ดีแรมชนิดฝังตัวยังมีแบนด์วิธที่สูงกว่า ทำให้สามารถใช้บัส (Bus) ที่มี

ขนาดกว้างขึ้นกว่าเดิมได้ อีกทั้งยังกินไฟน้อยกว่า เนื่องจากไม่จำเป็นต้องมีบัฟเฟอร์เพื่อการรับส่งข้อมูลอีกต่อไป ทุกวันนี้ นักออกแบบอุปกรณ์ต่างๆสามารถใช้ข้อได้เปรียบดังกล่าวของดีแรมแบบนี้ได้แล้ว เพราะเริ่มมีการผลิตดีแรมชนิดฝังตัวขนาด 0.25 mm หลาย ๆ แบบออกมา และขนาด 0.18 mm ก็กำลังจะตามออกมาในอีกไม่นานนี้

แนวทางการเลือกใช้เทคโนโลยี

วิธีการรวมเอาดีแรมชนิดฝังตัวกับลอจิก (Logic) เข้าไว้ด้วยกันมีแนวทางที่รู้จักกันโดยทั่วไป 3 แนวทาง อันได้แก่ แบบอิงดีแรมเป็นหลัก (DRAM – based Embedded DRAM) แบบผสม หรือ ไฮบริด (blended /Hybrid Embedded DRAM) และแบบอิงลอจิก (logic – based Embedded DRAM) การทำงานของดีแรมชนิดฝังตัวแบบอิงดีแรมนั้น คล้ายคลึงกับการทำงานของดีแรมแบบปกติ โดยจะใช้อุปกรณ์ต่อพ่วงกับดีแรมในการสร้างวงจรลอจิก (logic circuitry) โดยอาจจะเพิ่มชั้นโลหะ (metal layer) อีก 1 หรือ 2 ชั้นสำหรับใช้ในการสร้างเส้นสัญญาณ



ลอจิก (logic routing) ในขณะที่แนวทางที่ 2 คือ แบบผสมนั้นจะใช้โปรแกรมการมาร์คที่สัณฐาน (front-end mask) เพื่อช่วยให้อุปกรณ์ที่ต่อกับดีแรมทำงานด้านลอจิกได้ดีขึ้น ส่วนแบบสุดท้ายคือแบบอิงลอจิก จะช่วยทำให้ดีแรมใช้ไอซีแบบลอจิกที่มีประสิทธิภาพสูงในปัจจุบันได้ และเป็นตัวช่วยให้อินเทอร์เฟตระหว่างดีแรมกับลอจิกดีขึ้น และการประมวลผลในส่วนของลอจิกทำได้รวดเร็วขึ้น และง่ายต่อการออกแบบที่เน้นให้การทำงานทุกอย่างอยู่ในชิปเดียวกัน

นักออกแบบทั้งหลายต่างหันมาให้ความสนใจ ดีแรมชนิดฝังตัวกันมากขึ้น ด้วยเหตุผลหลายประการ ดีแรมแบบปกติ จะมีเฉพาะขนาดมาตรฐานให้เลือกเท่านั้น เช่น 4, 16, หรือ 64 Mbits แต่หากเลือกใช้ดีแรมชนิดฝังตัวแล้วจะสามารถกำหนดขนาดของหน่วยความจำที่ต้องการใช้งานได้ตามที่ต้องการ เช่น ที่ 5.9 หรือ 17 Mbits ดังนั้น จึงเสมือนกับว่าไม่มีการสูญเสียเนื้อที่ของหน่วยความจำไปโดยเปล่าประโยชน์ อีกทั้งยังเป็นการใช้เนื้อที่ใช้งานและต้นทุนอย่างคุ้มค่าด้วย นอกจากนั้นแล้วยังสามารถกำหนดขนาดของหน่วยความจำ และ อินเทอร์เฟตในระดับย่อย (Macrocell) ที่ต้องการใช้งานได้ทุกแบบ ช่วยให้เกิดความอ่อนตัวของตัวระบบและใช้งานได้อย่างเหมาะสมมากขึ้น

ดีแรมชนิดฝังตัวทั้ง 3 แบบข้างต้นเป็นการรวมเอาฟังก์ชันในส่วนของหน่วยความจำและลอจิกมาไว้ด้วยกัน การที่ไม่จำเป็นต้องมีเนื้อที่สำหรับการรับส่งข้อมูลระหว่าง 2 ส่วน ยังช่วยลดขนาดของซิลิคอนลง 5 - 10 % เมื่อเทียบกับการใช้งานในดีแรมปกติ ซึ่งในประเด็นนี้สำคัญมากเป็นอย่างยิ่งโดยเฉพาะกับชิปแบบ ASIC ที่อาจจะมัลลอจิก เกจ(logic gate)สูงถึง 300,000 ตัว ซึ่งมักมีปัญหาเรื่องข้อจำกัดเรื่องเนื้อที่จัดวาง(pad-limitation) ที่รู้จักกันเป็นอย่างดีในชิปแบบ-

นี้

ดีแรมชนิดฝังตัวแบบอิงดีแรม (DRAM-BASED Embedded DRAM)

ดีแรมชนิดฝังตัวแบบอิงดีแรมนั้น มีโครงสร้างของขบวนการทำงานเหมือนดีแรมปกติ โดยมีชั้นเลเยอร์โลหะ 2 ชั้นซ้อนอยู่ด้านบน โดยชั้นหนึ่งจะทำหน้าที่เป็นเส้นสัญญาณลอจิก ปรัชญาที่อยู่เบื้องหลังการสร้างดีแรมชนิดฝังตัวแบบนี้เหมือนกันกับดีแรมทั่วไปคือ ทำให้เซลล์มีขนาดเล็กที่สุดเท่าที่จะทำได้เพราะยิ่งเซลล์มีขนาดเล็กเท่าใด ก็ยังมีต้นทุนต่ำลงมากเท่านั้น โดยทั่วไปเซลล์ของดีแรมชนิดฝังตัวแบบอิงดีแรมนี้ปกติจะมีขนาดเล็กกว่าเซลล์ของแบบอิงลอจิกอยู่ประมาณ 50 - 100 % เมื่อเทียบในรุ่นเดียวกัน ดีแรมชนิดฝังตัวแบบอิงดีแรมนี้จะใช้วงจรลอจิกเหมือนกับที่ใช้กับดีแรมแบบปกติ ซึ่งจะมีปัญหาในเรื่องความร้อนสะสมที่เกิดจากการทำงานที่จะเหนี่ยวนำค่าการนำไฟฟ้าให้เปลี่ยนไป ซึ่งจะส่งผลให้ประสิทธิภาพของอุปกรณ์ชิ้นนั้นลดลงได้

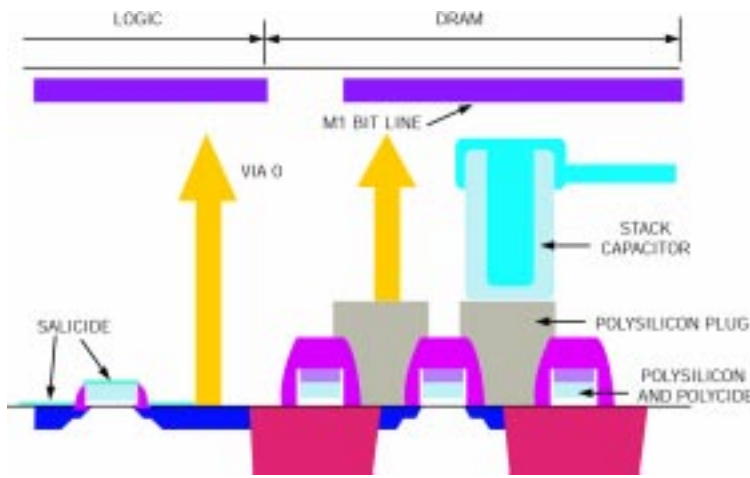
การใช้โพลีซิลิคอนเกต (Polysilicon Gate) ของดีแรมแบบปกติทำให้เป็นไปไม่ได้เลยที่จะนำอุปกรณ์ที่มี PMOS (P-type metal -oxide semiconductor) แบบใหม่ๆมาใช้งานกับ ดีแรมชนิดฝังตัวแบบอิงดีแรมได้ ขบวนการที่เรียกว่า โพลีไซด์ (Polycide) เป็นขบวนการสำคัญที่ทำให้เกิดการเรียงตัวของหน้าสัมผัสเส้นสัญญาณบิตได้เอง (self - aligned bit - line contact) ในเซลล์ของดีแรมที่จะช่วยลดข้อจำกัดที่เกี่ยวกับเนื้อที่ระหว่าง Transfer gate กับ หน้าสัมผัสเส้นสัญญาณบิต ส่งผลให้ขนาดของเซลล์ลดลงได้อีกอย่างน้อย 20 % และด้วยเหตุผลที่ดีแรมแบบปกติมีการเรียงตัวของหน้าสัมผัสเส้นสัญญาณบิตได้เอง จึงทำให้ใช้ได้เฉพาะช่องสัญญาณ PMOS แบบฝังตัว

(buried-channel PMOS) แบบเดี่ยวเท่านั้น ซึ่งเป็นเทคโนโลยีด้านลอจิกที่นับว่าล่าช้าแล้ว นับจากมีการผลิตชิปแบบ 0.35 mm ออกมา

ด้วยสาเหตุนี้เองเทคโนโลยีของดีแรมชนิดฝังตัวแบบอิงดีแรม จึงล่าช้ากว่าเทคโนโลยีของลอจิกเมื่อเทียบกับที่สมรรถนะอยู่ถึง 2 รุ่นเลยทีเดียว ยกตัวอย่าง เช่น สมรรถนะของอุปกรณ์ที่ใช้ดีแรมชนิดฝังตัวแบบอิงดีแรมระดับ 0.18 mm จะมีสมรรถนะใกล้เคียงกับดีแรมชนิดฝังตัวแบบอิงลอจิกระดับ 0.35 mm

ดี แรมชนิดฝังตัวแบบผสม (Blended Embedded DRAM)

ดีแรมชนิดฝังตัวแบบผสมนี้ (Blended Embedded DRAM) เหมือนกับแบบอิงดีแรม แต่มีชั้นการมาร์คที่ส (Mask Layer) เพิ่มขึ้นอีกหลายชั้น เพื่อเพิ่มสมรรถนะของอุปกรณ์ที่ต่อกับดีแรม และยังทำหน้าที่เสมือนเป็นลอจิกทรานซิสเตอร์ (logic transistor) อีกด้วย ข้อสำคัญคือดีแรมชนิดฝังตัวแบบผสมนี้จะเป็นการรวมเอาขั้นตอนการทำงานบางอย่างที่ดีแรมแบบปกติไม่มีเข้ามารวมไว้เพื่อเพิ่มสมรรถนะของวงจรต่อพ่วงที่มีอยู่ ซึ่งโดยทั่วไปแล้วส่วนที่เพิ่มเข้ามาในที่นี้ก็จะได้แก่ การลดจำนวนรอบการทำงานลงเพื่อให้มีอุณหภูมิสะสมลดลง ซึ่งจะส่งผลให้การเปลี่ยนแปลงค่าการนำไฟฟ้าเกิดขึ้นไม่มากนัก เพิ่มขบวนการผสมซิลิคอนของแหล่งกำเนิดและแหล่งปลดปล่อย(Source / drain silicide process) ที่อยู่ภายนอกอาร์เรย์ของดีแรม(DRAM array) นอกจากนี้ยังช่วยลดขนาดความยาวของช่องสัญญาณของทรานซิสเตอร์ต่อพ่วงลงได้อย่างมาก แต่อย่างไรก็ตาม ดีแรมชนิดฝังตัวแบบผสมนี้ก็ยังคงมีรูปแบบใกล้เคียงกับดีแรมชนิดฝังตัวแบบอิงลอจิก ทั้งนี้เพราะองค์ประกอบของมัน



รูปที่ 1 : ภาพตัดขวางของเซลล์แรมขนาด 0.18 μm แสดงให้เห็นหน้าสัมผัส bit-line แบบโพลีซิลิกอน และ word-line แบบโพลีไซด์ ที่ช่วยให้ดีแรมมีสมรรถนะสูงขึ้นและมีขนาดเล็กลงได้

เช่น ทรานซิสเตอร์แบบช่องสัญญาณ PMOS แบบฝังตัว และใช้เกจแบบผสมโพลีไซด์ (polycide) แทนที่จะใช้แบบผสมซิลิไซด์ (Silicide) และเช่นเดียวกันกับดีแรมชนิดฝังตัวแบบอิงดีแรม วงจรของดีแรมชนิดฝังตัวแบบผสมนี้เข้ากันไม่ได้กับวงจรของแบบอิงลอจิก ดังนั้นจึงไม่ใช่เรื่องง่ายเลยที่จะปรับระบบการใช้งานที่เน้นการทำงานด้านลอจิกให้เปลี่ยนมาใช้ ดีแรมชนิดฝังตัวแบบอิงดีแรม หรือดีแรมชนิดฝังตัวแบบผสม แต่เรื่องของการออกแบบใหม่นี้สำหรับนักออกแบบถือเป็นเรื่องปกติ เพราะนักออกแบบมักจะเริ่มจากการออกแบบระบบการใช้งานกับชิปลอจิกแบบแยกส่วน (Stand-alone logic chip) ก่อนแล้วค่อยปรับมาใช้กับแบบอิงลอจิกในภายหลัง เพื่อเพิ่มสมรรถนะของชิปให้ใช้ได้กับอุปกรณ์ที่มีสมรรถนะสูงขึ้น

ดีแรมชนิดฝังตัวแบบผสมนี้เมื่อเทียบกับสมรรถนะจะช้าแบบอิงลอจิกอยู่ในระดับใกล้เคียง 1.5 รุน มากกว่าที่จะเป็น 2 รุน เหมือนกับในแบบอิงดีแรม ยกตัวอย่างเช่น สมรรถนะของดีแรมชนิดฝังตัวแบบผสมแบบ 0.22 μm จะใกล้เคียงกันดีแรมชนิดฝังตัวแบบอิงลอจิกขนาด 0.35 μm แต่ในการเปรียบเทียบจริงๆ นั้นจะต้องพิจารณาตัวแปรอีกหลายๆ ตัว เช่น ความเร็ว การสิ้นเปลืองพลังงาน กฎการ

ออกแบบ และ ความหนาแน่นของเกจ เป็นต้น ด้วยผู้ผลิตหลายๆ แห่งต่างผลิตดีแรมชนิดฝังตัวแบบผสมนี้ขึ้นมามากมายหลายแบบให้เลือกใช้ ซึ่งแต่ละแบบก็มีสมรรถนะที่แตกต่างกันออกไปด้วย ทั้งนี้แล้วแต่การออกแบบขบวนการทำงานของแต่ละแบบด้วย

ดีแรมชนิดฝังตัวแบบอิงลอจิก (Logic – Based Embedded DRAM)

ดีแรมชนิดฝังตัวแบบอิงลอจิกเป็นแบบที่พัฒนาต่อมาจากรูปแบบของขบวนการด้านลอจิก ดังนั้นมันจึงมีรูปแบบโครงสร้างที่คล้ายคลึงกับชิปลอจิกแบบแยกส่วนที่มีใช้งานโดยทั่วไป ดังนั้นจึงไม่จำเป็นต้องยอมเสียเวลาในการปรับปรุงสมรรถนะในเรื่องความเร็ว และการกินไฟ ทั้งนี้ เนื่องจากเป็นค่าที่อยู่ในระดับที่ดีที่สุดอยู่แล้ว ขบวนการทำงานด้านลอจิกที่มีอยู่ก็จะเข้ากันได้อีกด้วย ช่วยให้สามารถตรวจสอบการออกแบบระบบโดยนำรูปแบบของลอจิกแบบแยกส่วนที่มีอยู่แล้วมาใช้งานได้โดยไม่ต้องมีการแก้ไขใดๆ ทั้งสิ้น ก่อนนำมาใช้กับดีแรมชนิดฝังตัวแบบอิงลอจิกนี้อีกเลย นอกจากนั้นแล้ว ดีแรมแบบนี้ยังใช้ได้กับไลบรารี (Library) อีกหลายๆ อันที่พัฒนาใช้กับลอจิกแบบแยกส่วนมา

ก่อนได้อีกด้วย ทำให้เป็นการสะดวกต่อการใช้งานในการออกแบบ

แต่การเข้ากันได้ของขบวนการทำงานด้านลอจิกของดีแรมชนิดฝังตัวแบบอิงลอจิกนี้ก็มีข้อเสียเช่นกัน เพราะโดยทั่วไปแล้วมันจะทำให้ระบบมีความซับซ้อนมากขึ้น โดยจะต้องทำการมาร์คกิง (masking) มากกว่าในลอจิกปกติอยู่ถึง 5 - 8 ชั้น และโดยธรรมชาติที่การทำงานในส่วนของดีแรมและลอจิกมีความแตกต่างกัน ผู้ผลิตจึงจำเป็นต้องสรรหาวิธีที่จะทำให้ทั้ง 2 ส่วนนี้ทำงานร่วมกันได้นอกจากนั้นแล้วขนาดของเซลล์ของดีแรมชนิดฝังตัวแบบอิงลอจิกจะใหญ่กว่าดีแรมชนิดฝังตัวแบบอิงดีแรมอยู่ประมาณ 70 % ทั้งนี้เพราะดีแรมชนิดฝังตัวแบบอิงลอจิกจะต้องทำให้เซลล์มีขนาดเล็กมากที่สุดนั่นเอง

การตัดสินใจเลือกรูปแบบใดๆ ในการออกแบบไม่ใช่เรื่องที่ยากเย็นอะไรนัก ยกตัวอย่างเช่น ในการออกแบบที่พื้นที่จัดวางเกือบทั้งหมดเป็นส่วนของลอจิก ก็น่าจะเลือกดีแรมชนิดฝังตัวแบบอิงลอจิกในการออกแบบเนื่องจากจะมีกฎเกณฑ์ทางลอจิกอยู่มากกว่าการใช้งานจากดีแรมแบบปกติ แต่หากพื้นที่ส่วนมากเป็นส่วนของอาร์เรย์ของดีแรม ก็น่าจะเลือกออกแบบโดยใช้แบบอิงดีแรม หรือแบบผสมจะดีกว่า เนื่องจากต้นทุนจะต่ำกว่าแม้ว่าสมรรถนะที่ได้จะต่ำกว่าแบบอิงลอจิกก็ตาม

เราสามารถกำหนดขนาดเซลล์ของดีแรมในดีแรมชนิดฝังตัวแบบอิงลอจิกได้ที่ขนาด 0.18 μm ชั้นตอนนี้แสดงให้เห็นตัวอย่างในรูปที่ 1 ที่เลือกใช้หน้าสัมผัสเส้นสัญญาณบิตแบบเรียงตัวได้ชนิดโพลีซิลิกอน และเส้นสัญญาณ word แบบโพลีไซด์ (polycided) เทคนิคดังกล่าวนี้ช่วยให้ดีแรมมีประสิทธิภาพสูงขึ้น และช่วยให้ขนาดของเซลล์เล็กลงด้วย แม้ว่าจะใช้โลหะในส่วน of เส้นสัญญาณบิตก็ตาม เทคนิค



อันนี้ช่วยลดจำนวนมาร์คและต้นทุนของเวเฟอร์ (wafer) ลงได้ เมื่อเทียบกับดีแรมปกติแล้วสามารถลดมาร์คที่สำคัญๆ ลงได้อย่างน้อย 2 อัน นอกจากนั้นค่าความต้านทานของเส้นสัญญาณบิตแบบโลหะยังน้อยกว่าแบบโพลีไซด์ที่อยู่ในดีแรมปกติทั่วไปด้วย ส่งผลให้กินไฟน้อยกว่าและใช้ความเร็วที่สูงขึ้นด้วย วงจรลอจิกที่ใช้ก็ยังเหมือนกับเทคโนโลยีลอจิกทั่วไป ซึ่งอาศัยโคบอล ซาลิไซด์ (cobalt Salicide) และใช้ dual gate poly (P+ poly NMOS และ N+ poly PMOS) โดยใช้ Abrupt PN Junction เพื่อเพิ่มสมรรถนะให้สูงขึ้น

การนำไปประยุกต์ใช้งาน

ดีแรมชนิดฝังตัวแบบอิงดีแรมกับแบบผสมนั้นถูกนำไปประยุกต์ใช้งานกับงานที่ต้องใช้หน่วยความจำปริมาณมากบนพื้นที่ขนาดจำกัด เช่น หน่วยความจำขนาด 128 Mbits ที่ 0.18 mm นอกจากนั้นทั้งดีแรมชนิดฝังตัวแบบอิงดีแรมปกติ และแบบผสมยังเหมาะกับการนำมาใช้ในงานที่ต้นทุนเป็นเรื่องสำคัญ (รูป 2) เช่นใน ซีดีรอม ดีวีดี-รอม Disk Drive เครื่องพิมพ์ การ์ดแสดงภาพ Ethernet Switches แบบ 10/100 Mbite SRAM replacement แบบแยกส่วน และ ดีแรมเฉพาะแบบ (Custom –designed DRAM)

ข้อดีของดีแรมชนิดฝังตัวแบบอิงลอจิกก็คือความเร็วที่สูงขึ้น ดังนั้นมันจึงถูกนำไปใช้งานในอุปกรณ์ที่มีสมรรถนะสูง ราคาแพง และการใช้งานกับระบบเครือข่าย รวมถึงอุปกรณ์ที่จะต้องมีการเข้ารหัสสัญญาณภาพ เช่น กล้องวิดีโอดิจิทัล การ์ดแสดงภาพในเครื่องโน้ตบุ๊ก โทรศัพท์มือถือ อุปกรณ์ประเภท PDA ก็จะได้รับผลดีอันนี้นอกจากนั้น อุปกรณ์ประเภทพกพา (Portable) ก็จะได้รับผลดีจากการกินไฟน้อยของดีแรมแบบนี้ด้วย

นอกจากนั้นแล้วในอุปกรณ์หน่วยความจำที่ออกแบบมาใช้เฉพาะงาน

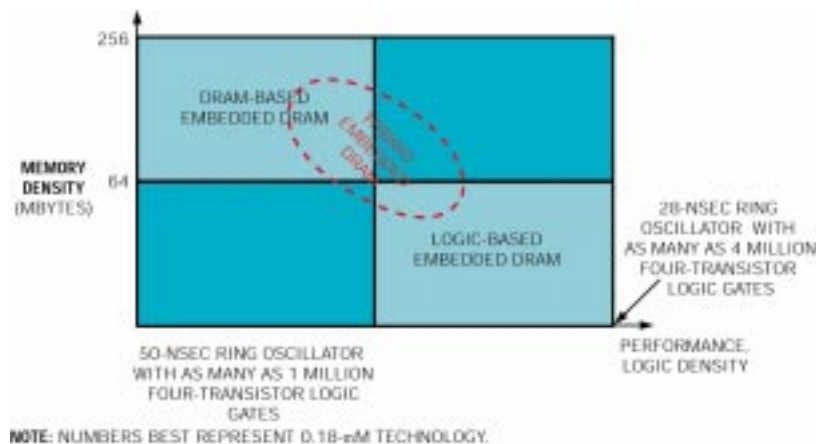
(Custom – Memory) ก็หันมาใช้ดีแรมชนิดฝังตัวแบบอิงลอจิกด้วยเช่นกัน ข้อจำกัดต่างๆ ที่มีอยู่ในดีแรมปกติจะใช้ไม่ได้กับดีแรมชนิดฝังตัวดังนั้นดีแรมชนิดฝังตัวจึงมีความอ่อนตัวกว่ามาก ดังนั้นในการออกแบบที่มุ่งเป็นไปในเรื่องความเร็วแบนด์วิธ กินไฟน้อย มากกว่าเรื่องราคาและสมรรถนะ จึงเป็นเรื่องที่เป็นไปได้ ซึ่งเทคโนโลยีในปัจจุบันช่วยให้เราสามารถสร้างดีแรมที่มีแบนด์วิธกว้างขึ้น มีสเกลกว้างขึ้นกว่าเดิมเพื่อรับส่งข้อมูลแบบขนาน (parallel) กับการใช้งานด้านกราฟิก และใน Network switch ยังมีดีแรมชนิดฝังตัวอื่นๆอีกหลายแบบที่ถูกกำหนดเพื่อจำลองการทำงานของ SRAM โดยใช้ random access ความเร็วสูง แทนการใช้ page mode access ของดีแรม ด้วยการตัด มัดติเฟล็ก แอสแตรสบัสของดีแรม (DRAM multiplexed address bus) ออกไป

ข้อดี ข้อเสียของการออกแบบแต่ละชนิด

ข้อดีอีกข้อหนึ่งที่ได้เห็นได้ไม่ค่อยชัดเจนเท่าไรนักคือ ไม่จำเป็นจะต้องทำตามข้อกำหนดแบบ JEDEC ของดีแรมอีกต่อไป เช่นเรื่องอัตรา รีเฟรช (refresh)

ที่ในดีแรมแบบปกติจะกำหนดไว้ตายตัว แต่ในดีแรมชนิดฝังตัวก็เป็นเรื่องที่ไม่จำเป็นอีกต่อไป หากจะว่ากันจริงๆแล้วชุดควบคุมการทำงานของหน่วยความจำแบบใหม่ (Memory Controller) จะรีเฟลชได้ไวกว่าด้วยซ้ำไป ตามปกติชุดควบคุมจะรีเฟรชบิตทุกๆ บิตที่อยู่ในดีแรม ในอัตรา 64 msec แต่ในดีแรมชนิดฝังตัวอัตรา รีเฟรชอาจต่ำถึง 2 msec ทั้งนี้ขึ้นอยู่กับรูปแบบของการใช้งานในแต่ละแบบ การที่ดีแรมมีอัตรา รีเฟรชสูงจะส่งผลโดยตรงต่ออายุการใช้งานของตัวดีแรมเอง

แต่ในการใช้งานบางชนิดรีเฟรชที่สูงก็เป็นเรื่องที่ไม่พึงประสงค์ เช่นหากใช้ดีแรมชนิดฝังตัวเป็น บัฟเฟอร์ (Buffer) หากวงรอบการรีเฟรชไวเกินไป โอกาสที่ข้อมูลที่เก็บไว้ในบัฟเฟอร์จะสูญหายหรือผิดพลาดก็จะมีมากขึ้น ที่สำคัญกว่านั้นก็คือ จะทำรีเฟรชในดีแรมชนิดฝังตัวบ่อยมากเกินไปก็ไม่ดีโดยเฉพาะกับการใช้งานกับอุปกรณ์แบบพกพาเนื่องจากจะต้องคำนึงถึงการสำรองไฟเพื่อการใช้งานด้วยว่ากันจริงๆแล้วการสูญเสียกำลังไฟบางส่วนไปมีสาเหตุมาจากการรีเฟรชที่สูงมากนั่นเอง ดังนั้นการกำหนดอัตรา รีเฟรชให้ต่ำที่สุด จึงเป็นเรื่องสำคัญอย่างยิ่งกับการใช้งานในอุปกรณ์ประเภทพกพา เพื่อยืดอายุ



รูปที่ 2 : การกำหนดคุณสมบัติเฉพาะของดีแรมชนิดฝังตัวแบบอิงดีแรม กับแบบอิงลอจิกสามารถสร้างเป็นกราฟเมทริกซ์ แบบ 2X2 ได้ดังรูป โดยดีแรมชนิดฝังตัวแบบผสมจะอยู่ระหว่างกลาง



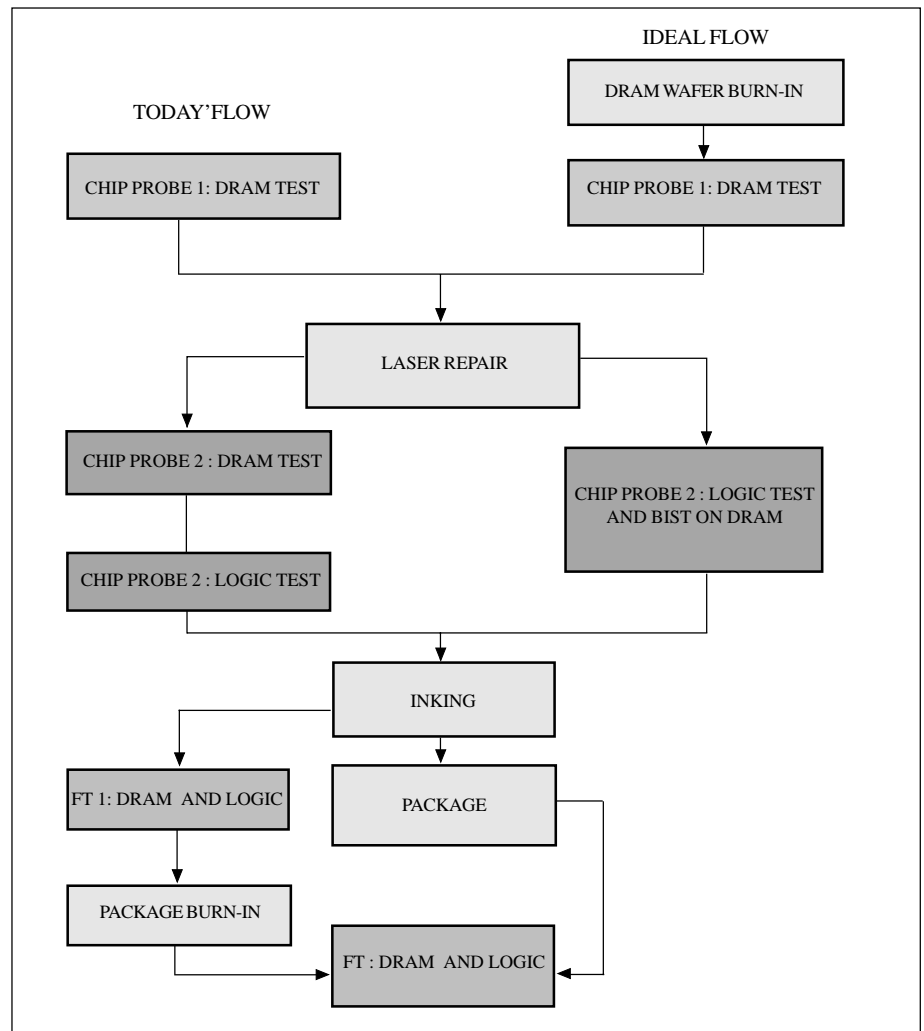
แบตเตอรี่ให้มันที่สุตนั้นเอง

เราอาจจะเลือกใช้แนวทางอื่น ๆ เพื่อแก้ปัญหาเรื่องการสูญเสียกำลังไฟไปโดยเปล่าประโยชน์ แนวทางหนึ่งที่ถูกเลือกคือ “สมาร์ท รีเฟรช”(Smart refresh) โดยจะใช้วิธีนี้เมื่อวงจรลจจอกอยู่ในโหมดแอกทีฟ(Active mode) เช่น เมื่อกำลังไฟดับทำงานอยู่ซึ่งจะต้องรีเฟรชดีเรมอยู่ตลอดเวลาแต่เมื่อวงจรลจจอกถูกเลิกใช้ดีเรมจะค่อย ๆ ปรับรีเฟรชให้ช้าลงเรื่อยๆ หรือเข้าสู่ sleep mode นั้นเอง ซึ่งจะช่วยลดปัญหาเรื่องการสูญเสียกำลังไฟ แต่การใช้งานในบางประเภทไม่จำเป็นต้องรีเฟรชเลยด้วยซ้ำหากเข้าอยู่ใน Standby mode เพราะการสูญเสียข้อมูลบางส่วนไปบ้างไม่ส่งผลใด ๆ

อีกแนวทางหนึ่งในการลดการสูญเสียกำลังไฟคือใช้ การออกแบบ แบบแบ่งเป็นหลายๆแถว(multibank design) หรือออกแบบอาร์เรย์ของดีเรมให้แต่ละแถว (blank) มีขนาดเล็กกลง ซึ่งทำให้เส้นสัญญาณข้อมูลสั้นลงได้ เส้นสัญญาณที่สั้นลงครั้งหนึ่งก็จะมีสามารถในการเก็บประจุครั้งหนึ่งเช่นกัน และเนื่องจากการสูญเสียกำลังไฟเป็นสัดส่วนโดยตรงกับความสามารถในการเก็บประจุ ดังนั้นอัตราส่วนของการสูญเสียกำลังไฟต่อการอ่านข้อมูลแต่ละบิตจะลดลงประมาณสองเท่าด้วย ในที่นี้จะไม่รวมถึงการสูญเสียกำลังไฟในขั้นตอนของการถอดรหัส การจัดวางแบบแบ่งเป็นหลายๆแถว ช่วยให้ความเร็วของดีเรมสูงขึ้นอันเป็นผลสืบเนื่องมาจากเวลาที่ใช้ในการชาร์จประจุที่สั้นลงนั่นเอง

ประเด็นเกี่ยวกับการทดสอบ

ไอซีแบบดีเรมปกติ นั้นจำเป็นจะต้องผ่านการตรวจสอบอย่างละเอียด ยิ่งในดีเรมชนิดฝังตัวซึ่งซับซ้อนมากกว่าก็ยิ่งจำเป็นต้องทดสอบอย่างละเอียดมากขึ้น เพราะจะต้องทดสอบการทำงานของทั้งใน



รูปที่ 3 : รูปแบบของ “Ideal Test” ที่นำมาใช้แทนการทดสอบการทำงานของหน่วยความจำแบบ CP2 ที่ใช้ในการทดสอบดีเรมที่มี BIST ทำให้สามารถจำลองการทำงานในส่วนของ ดีเรม และ ลจจอกได้

ระดับแมคโคของดีเรม และในวงจรลจจอก รูปแบบการทดสอบ 2 แบบของการทดสอบดีเรมชนิดฝังตัวในรูปที่ 3 ซึ่ง รู้จักกันโดยทั่วไปว่าเป็นแบบการทดสอบที่ดีที่สุด (Ideal test)

ในวงจรรอบการทดสอบที่ใช้ในปัจจุบันจะเริ่มจากการทำ CP (Chip – probe)1 DRAM test หลังจากตรวจวัดบิตที่ผิดปกติได้แล้ว ชุดทดสอบจะแทนที่บิตเหล่านั้นด้วยบิตแก้ไข (repair bit) ซึ่งจะใช้ไฟแบบ laser – programmable metal fuses เป็นตัวสั่งการ การทำ CP 2 DRAM test ในลำดับต่อมาจะเป็นการตรวจสอบ การแก้ไขในขั้นตอนแรก ถ้าแก้ไขได้สำเร็จ และ อาร์เรย์หน่วยความจำทำงานปกติที่ระดับ wafer probe level

ชุดตรวจสอบก็จะเริ่มตรวจสอบในส่วน ของลจจอก หลังจากตรวจสอบและแยก ส่วนที่มีตำหนิออกไป ส่วนที่ผ่านการทดสอบจะถูกนำมาทดสอบการทำงานหลังจากการจัดวาง (Packaging yield : FT1)

จากมุมมองของการทดสอบ การใช้ BIST (built – in self – test) แทนการใช้ CP2 นับว่าเป็นการลงทุนที่คุ้มค่ามากขึ้น BTST จะแปลงรหัสลจจอกที่ใช้ทดสอบ 1 และ 0 ให้กลายเป็นสัญญาณเวลา(timed signal) เพื่อใช้กับ ขบวนการทดสอบดีเรม ซึ่งช่วยให้ชุดทดสอบการทำงานของลจจอกสามารถตรวจสอบ ดีเรมได้ และช่วยให้สามารถรวมเอาทั้งลจจอก และดีเรมเข้าไว้ด้วยกัน วงจรของ BIST จะกินเนื้อที่ประมาณ 5 -



10 % ของ macro ของ ดีแรม ซึ่งขึ้นอยู่กับความจุของดีแรม และรูปแบบของการทดสอบนี้จะต้องมี แม้ว่า BIST นี้จะมีให้เลือกใช้อยู่แล้วมากมายหลายแบบ แต่นักออกแบบส่วนมากที่เลือกใช้ ดีแรมชนิดฟังก์ชัน ยังคงเลือกใช้ CP2 ในการทดสอบดีแรม และ ลอจิก แบบแยกจากกันมากกว่า

Burn – in test มีขึ้นเพื่อทดสอบการทำงานในส่วนของดีแรมที่ระดับอุณหภูมิสูงเพื่อแยกข้อบกพร่องชนิดไม่เด่นชัดนัก (soft defects) ซึ่งข้อบกพร่องเหล่านี้จะผ่านขบวนการทดสอบปกติมาได้ แต่จะมีผลทำให้ดีแรมค่อย ๆ เสื่อมสภาพลงเรื่อย ๆ หากใช้งานไปนาน ๆ มีสาเหตุหลายประการที่ทำให้ การทดสอบ package level burn – in ของดีแรมชนิดฟังก์ชันมีต้นทุนสูงกว่าปกติ ประการแรกคือ Socket board ที่ใช้ในดีแรมชนิดฟังก์ชันไม่ได้เป็นแบบมาตรฐาน(custom made) และอาจมีราคาแพง ที่สำคัญยิ่งกว่านั้นคือ ไอซีของดีแรมชนิดฟังก์ชันจะมีขนาดใหญ่กว่า (เนื่องจากรวมเอาทั้งดีแรม และ ลอจิกเข้าไว้ด้วยกัน) ทำให้แต่ละ Socket board fits จัดวางชิปได้ไม่กี่ตัว ซึ่งทำให้ต้นทุนของการทดสอบสูงขึ้น และท้ายที่สุดการทดสอบ package – level burn – in ต้องใช้พิน (pin) ที่สามารถส่งผ่านสัญญาณไปยังส่วนของดีแรมได้ ทำให้ไม่สามารถลดจำนวนของพินลงได้

เราอาจจะกล่าวถึงข้อด้อยของการทำ Package – level burn – in ในระดับ Wafer level burn – in ที่ซึ่งจะทดสอบการทำงานของดีแรมในระดับ wafer level ซึ่งแนวทางนี้จะให้ได้ผลออกมาไวกว่าการทดสอบแบบอื่นซึ่งจะกินเวลาในการทดสอบไม่ก่นาที่เท่ากันเมื่อเทียบกับการทดสอบ package – level burn – in ที่กินเวลาเป็นชั่วโมง นอกจากนั้นแล้วยังสามารถแก้ไขข้อบกพร่องส่วนที่ไม่ผ่าน

การทดสอบไปพร้อมกันได้เลย ทำให้ได้งานออกมามากกว่า แต่จากการศึกษาจากหลาย ๆ แหล่งยังคงพบว่า การทดสอบ Wafer level burn – in ไม่สามารถแยกข้อบกพร่องที่มีอยู่ได้ทั้งหมดที่ระดับ wafer level ได้ โดยจะตรวจพบได้ประมาณ 80% ของทั้งหมดเท่านั้นหากเลือกใช้วิธีการทดสอบที่เหมาะสม ดังนั้นจึงเป็นเครื่องพิสูจน์ได้ว่า wafer level burn – in ไม่สามารถทดแทน package – level ได้อย่างสมบูรณ์ แต่หากใช้ทั้ง 2 แบบร่วมกันทดสอบจะทำให้ได้ประสิทธิภาพในการตรวจสอบสูงขึ้น wafer – burn – in จะช่วยแยกข้อบกพร่องเกือบทั้งหมดออกไปในช่วงต้นของการทดสอบ ดังนั้นจึงสามารถแก้ไขส่วนที่เหลือได้สะดวกขึ้น ในขณะที่การทดสอบแบบ Package burn – in แบบเต็มรูปแบบหรือบางส่วนก็จะช่วยตรวจสอบความถูกต้องแม่นยำของการทำงานของอุปกรณ์นั้น ๆ ได้มากยิ่งขึ้น

ยังมีปัจจัยอื่น ๆ อีกหลายประการที่ทำให้การตรวจสอบดีแรมชนิดฟังก์ชันยุ่งยากกว่าการทดสอบดีแรมปกติ ดีแรมแบบปกติถูกออกแบบมาใช้งานที่ระดับอุณหภูมิไม่เกิน 85°C และการทดสอบก็จะทำที่ระดับอุณหภูมินี้ด้วย แต่ในสภาพการใช้งานจริง การทำงานในส่วนของลอจิกนั้นจะต้องทำงานมากกว่าในส่วนของดีแรม ซึ่งจะทำให้อุณหภูมิของชิปสูงกว่า 100°C ดังนั้นในการทดสอบมักจะทำที่อุณหภูมิ 110°C หรืออาจสูงถึง 125°C และจะต้องทดสอบ ดีแรมชนิดฟังก์ชันที่ระดับอุณหภูมินี้ด้วย แต่ข้อจำกัดอันนี้ไม่ได้ใช้กับทุก ๆ ระบบ และจะต้องกำหนดอัตรารีเฟรช และสภาพการทดสอบให้เหมาะสมสำหรับการทดสอบแต่ละแบบ ยกตัวอย่างเช่น ไอซีที่ใช้ในโทรศัพท์เคลื่อนที่จะไม่เกิดความร้อนสูงเหมือนกับการใช้งานในรูปแบบอื่น ๆ จึงอาจกำหนดรีเฟรชที่สูงกว่าเดิมได้ พร้อมทั้งกำหนดสภาพการทดสอบ อุณหภูมิที่ต่ำลงมาได้

อีกประเด็นที่เกี่ยวข้องคือเรื่องความไวต่อสัญญาณรบกวน เนื่องจากดีแรมชนิดฟังก์ชันมีส่วนของลอจิกรวมอยู่ในตัวด้วย จึงทำให้สัญญาณรบกวนมีปริมาณมากตามไปด้วย เราอาจจะกำหนดประเด็นเรื่องสัญญาณรบกวนนี้ตั้งแต่ขั้นตอนการออกแบบโดยการกำหนดระดับสูงสุดต่ำสุดของความถี่ของสัญญาณรบกวน และโดยการเพิ่มอัตราส่วนการเก็บประจุ (Charge coupling ratio) ใน อาร์เรย์ของดีแรม การออกแบบบางชนิดอาจใช้ชนวนโลหะ (shielding ground metal plate) ครอบบนส่วนดีแรมไว้เพื่อป้องกันมันจาก สัญญาณรบกวนที่มาจากสายสัญญาณลอจิก ปัญหาเรื่องสัญญาณรบกวนนี้ยิ่งมากขึ้นหากสายสัญญาณลอจิกนั้นอยู่เหนือส่วนที่เป็นดีแรม เราไม่สามารถจะทดสอบความสมบูรณ์ของวงจรีแรมที่มีสัญญาณรบกวนอยู่โดยการใช้ชิปทดสอบ แต่ก็สามารถทดสอบที่ละส่วนได้โดยการใช้ตัวสร้างสัญญาณหักล้างสัญญาณรบกวนติดตั้งไว้ในชิปหรือทำให้สายสัญญาณที่พาดผ่านด้านบนของดีแรมมีการเคลื่อนที่ทิ้งไปและกลับตลอดช่วงเวลาของการทดสอบ.

GEVW