

การทดสอบ อุปกรณ์เครือข่าย SDH

พงษ์ศักดิ์ สุ่มพันธ์ไพบูลย์.

แต่เดิมนั้น ระบบรับส่งสัญญาณทางสายส่งจะไม่มีมาตรฐานของการอินเทอร์เฟซทางสายส่งสัญญาณ (line interface) ทำให้อุปกรณ์เครือข่ายของผู้ขายแต่ละรายมีอินเทอร์เฟซทางสายส่งเป็นการเฉพาะของตนเอง การทดสอบระบบรับส่งสัญญาณจึงทำได้เฉพาะที่อินเทอร์เฟซของสัญญาณทริบูตารีเท่านั้นของสัญญาณทริบูตารีแต่ละช่องของระบบรับส่งสัญญาณทางสายส่งจะถูกทดสอบโดยวิธีการส่งสัญญาณทดสอบที่มีลำดับบิตของ PRBS (Pseudo Random Binary Sequence) เก็บอยู่ภายในแพ็คเกจ์รีนของลำดับบิต PRBS นี้จะถูกตรวจสอบความผิดพลาดที่ปลายทางของสัญญาณทดสอบ ค่า อัตราบิตผิดพลาด (Bit-Error Ratio (BER)) ที่วัดได้ จะเป็นตัวแสดงถึง performance ของระบบ

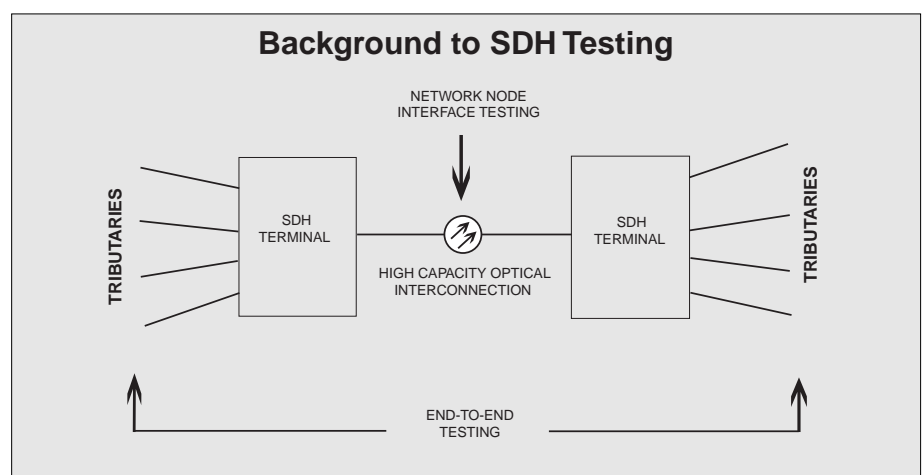
พอมาถึงปัจจุบัน ระบบรับส่งสัญญาณ SDH มีทั้งมาตรฐานของสัญญาณและอินเทอร์เฟซที่เกี่ยวข้อง ทำให้เป็นไปได้ที่จะเชื่อมต่ออุปกรณ์เครือข่าย SDH จากผู้ขายรายต่างๆ เข้าด้วยกันได้ การทดสอบต่างๆ สามารถทำได้มากขึ้น จุดของการอินเทอร์เฟซระหว่างอุปกรณ์ ที่เรียกว่า Network Node Interface (NNI) ต้องถูกทดสอบอย่างเคร่งครัดมากขึ้นในตอนนั้น ความสามารถของการทดสอบแบบใหม่ได้ถูกนำมาใช้ทดสอบที่อินเทอร์เฟซสายส่งสัญญาณของอุปกรณ์เครือข่าย (รูปที่ 1)

ข้อนำสังเกตประการหนึ่งที่พบได้ในเครือข่าย SDH ก็คือ อินเทอร์เฟซอินพุทและเอาต์พุทที่พบบน segment หนึ่งของเครือข่าย

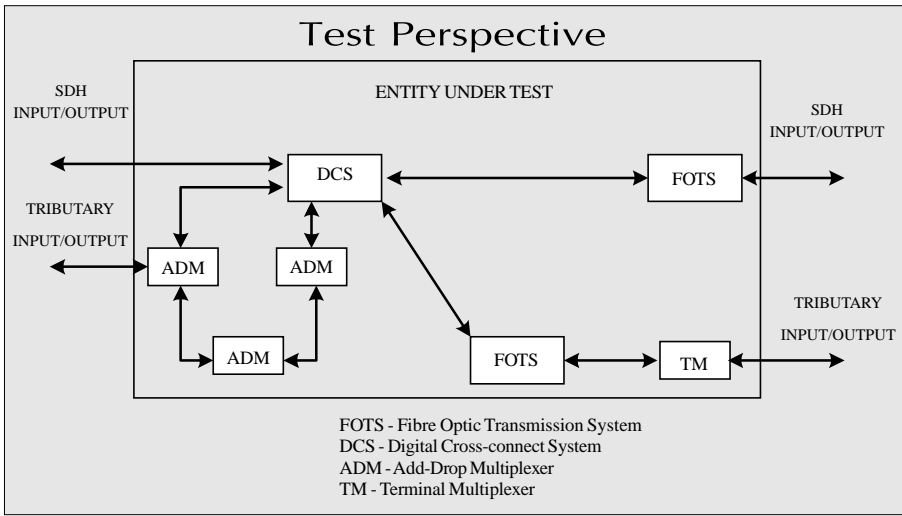
SDH (นั่นคือ อินเทอร์เฟซอินพุท/เอาต์พุทของสัญญาณ SDH และอินเทอร์เฟซอินพุท/เอาต์พุทของสัญญาณทริบูตารี) จะเป็นเช่นเดียวกับอินเทอร์เฟซที่พบบนอุปกรณ์ network element ของ SDH (รูปที่ 2) ทำให้การจัดการทดสอบระหว่างอินพุทและเอาต์พุทของอินเทอร์เฟซแบบต่างๆ ของอุปกรณ์ SDH ที่ดำเนินการในระหว่างการผลิต สามารถนำมาใช้ทดสอบ segment ของเครือข่าย SDH ในระหว่างการติดตั้งและการซ่อมบำรุงรักษาได้เช่นเดียวกัน

ความต้องการทดสอบอุปกรณ์เครือข่าย SDH

การทดสอบอุปกรณ์เครือข่าย SDH



รูปที่ 1 : การทดสอบระบบรับส่งสัญญาณ SDH



รูปที่ 2 : อินเทอร์เน็ตอินพุท/เอาพุทของ segment หนึ่งบนเครือข่าย SDH

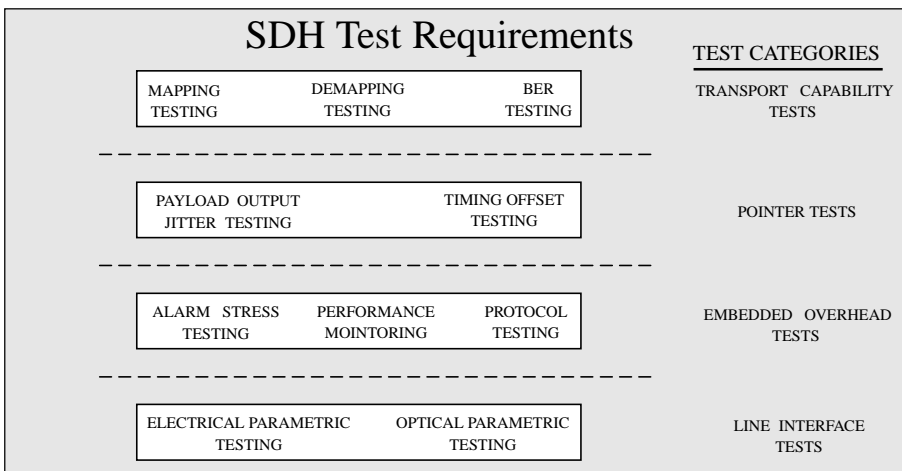
ทั้งหมด อาจถูกแบ่งออกเป็น 4 ประเภทหลักๆ แต่ละประเภทก็จะมี การทดสอบเฉพาะอย่างกับสัญญาณ SDH (รูปที่ 3)

1. การทดสอบความสามารถในการขนส่งข้อมูล (Transport Capability Tests) ประกอบด้วย การทดสอบ เช่น Bit-Error Rate (BER) และ mapping/demapping ซึ่งเป็นการตรวจสอบความสามารถในการขนส่งข้อมูลของ SDH กล่าวเฉพาะเจาะจงก็คือว่า การทดสอบเหล่านี้ต้องการให้แน่ใจว่า สัญญาณทริบูทารี (เช่น 2, 34 หรือ 140 Mb/s) ได้ถูกขนส่งผ่านเครือข่าย SDH ไปยังปลายทางได้อย่างถูกต้องครบถ้วน

2. การทดสอบพอยเตอร์ (Pointer

Tests) ประกอบด้วย การทดสอบ เช่น timing offset และ tributary output jitter ซึ่งเป็นการตรวจสอบความสามารถของ SDH ที่จะรองรับการทำงานแบบอะซิงโครนัสภายในเครือข่าย กล่าวอย่างเจาะจงก็คือว่า การทดสอบเหล่านี้ ต้องการให้แน่ใจว่า performance ของอุปกรณ์เครือข่าย SDH จะต้องไม่มีผลกระทบต่อการทำงานของอุปกรณ์เครือข่ายอื่นที่ไม่ใช่ SDH ที่ใช้งานอยู่ภายในเครือข่าย

3. การทดสอบการทำงานของโอเวอร์เฮด (Embedded Overhead Tests) ประกอบด้วย การทดสอบ เช่น การส่งสัญญาณ alarm, การเฝ้าตรวจสอบ performance และการทดสอบพิเศษอื่นๆ



รูปที่ 3 : ความต้องการทดสอบอุปกรณ์เครือข่าย SDH

เช่น การวิเคราะห์โปรโตคอล กล่าวเฉพาะเจาะจงก็คือว่า การทดสอบเหล่านี้ต้องการให้แน่ใจว่า อุปกรณ์เครือข่าย SDH จะมีปฏิกิริยาโต้ตอบตามที่คาดหวังไว้ ภายใต้เงื่อนไขที่มีแนวโน้มจะเผชิญในเครือข่าย SDH

4. การทดสอบอินเทอร์เน็ตเฟสสายส่งสัญญาณ (Line Interface Tests)

ประกอบด้วย การทดสอบคุณสมบัติและความสามารถต่างๆ ตามข้อกำหนดของอินเทอร์เน็ตเฟสสายส่งสัญญาณ SDH

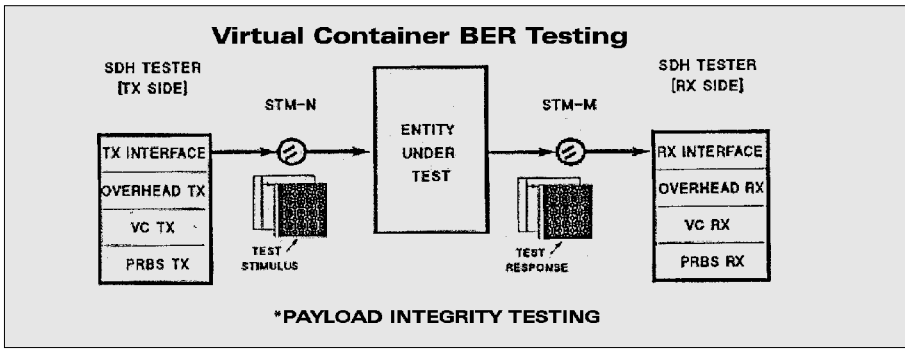
การทดสอบ BER ของ VC (VC BER Testing)

ความมุ่งหมายของการทดสอบนี้ ต้องการตรวจสอบว่า อุปกรณ์ network element ของ SDH (เช่น multiplexer, regenerator, cross-connect) สามารถประมวลผลสัญญาณ SDH ที่ได้รับ โดยไม่มีผลเสียหายต่อข้อมูลที่ส่งใน virtual container (รูปที่ 4) อัตราเร็วของสัญญาณอินพุทกับเอาพุท อาจเป็นคนละอัตราเร็วกันได้

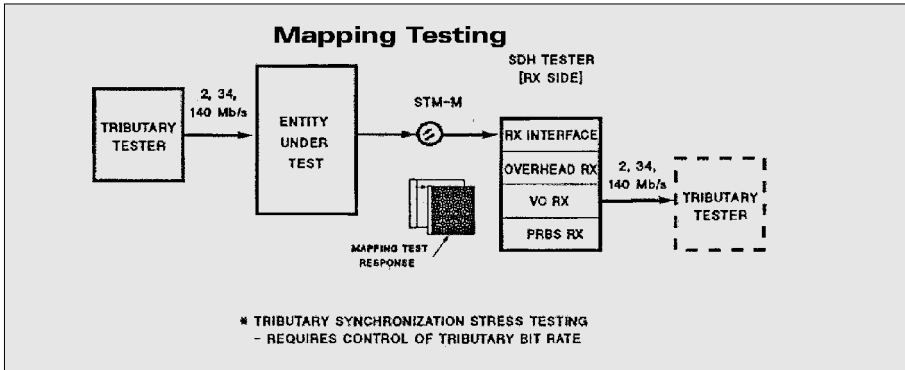
ทางด้านส่งเครื่องมือทดสอบจะส่งสัญญาณ STM-N ที่มี VC ทดสอบส่งอยู่ VC ทดสอบนี้จะเก็บลำดับบิตของ PRBS เอาไว้ อุปกรณ์ SDH จะทำการรับสัญญาณ STM-N เข้ามาประมวลผล และเอาพุทสัญญาณ STM-M ออกมา โดยมี VC ทดสอบอยู่ภายในสัญญาณ STM-M นี้ทางด้านรับเครื่องมือทดสอบจะดีมัลติเพล็กซ์เอา VC ทดสอบนี้ออกมา และทำการวัด BER ของ PRBS ที่ได้รับ

การทดสอบการแมพสัญญาณ (Mapping Testing)

การทดสอบนี้ จะตรวจสอบ performance ของกระบวนการแมพสัญญาณทริบูทารีภายในอุปกรณ์ SDH การ



รูปที่ 4 : การทดสอบ BER ของ VC



รูปที่ 5 : การทดสอบการแมพสัญญาณ

ทดสอบนี้จะใช้เครื่องมือทดสอบหรือรวมกับเครื่องมือทดสอบ SDH ดังรูปที่ 5 เครื่องมือทดสอบหรือรวมกันจะก่อให้เกิดสัญญาณทดสอบที่เป็นสัญญาณหรือสัญญาณ 140 Mb/s หรือ 2 Mb/s ลำดับบิต PRBS จะถูกส่งอยู่ในสัญญาณทดสอบนี้ อัตราเร็วบิตของสัญญาณทดสอบนี้จะถูกปรับให้ offset เพื่อทดสอบความสามารถการซิงโครไนซ์ของกระบวนการแมพสัญญาณภายในอุปกรณ์ SDH

ภายหลังจากที่สัญญาณทดสอบถูกแมพเข้าไปในสัญญาณ STM-M โดยอุปกรณ์ SDH แล้ว เครื่องมือทดสอบ SDH จะทำการดีแมพเอาสัญญาณหรือสัญญาณที่ทดสอบออกมาเพื่อนำไปวิเคราะห์ เช่น วัด BER ต่อไป

การทดสอบการดีแมพสัญญาณ (Demapping Testing)

กระบวนการดีแมพสัญญาณจะเป็นกระบวนการที่ตรงกันข้ามกับการแมพสัญญาณที่เพิ่งกล่าวมา เครื่องมือทดสอบ

SDH (ตามรูปที่ 6) จะทำการแมพสัญญาณทดสอบที่เป็นสัญญาณหรือสัญญาณเข้าไปในสัญญาณ STM-M อัตราเร็วบิตของสัญญาณหรือสัญญาณที่ทดสอบนี้จะถูกปรับให้ offset เพื่อทำให้เกิดความไม่ต่อเนื่องทางเวลาของสัญญาณหรือสัญญาณที่แมพเข้าไปในสัญญาณ STM-M อุปกรณ์ SDH จะทำหน้าที่ดีแมพเอาสัญญาณหรือสัญญาณที่ทดสอบออกมาแล้วทำการวัดระดับของ jitter ที่เกิดขึ้นบนสัญญาณหรือสัญญาณ รวมทั้ง BER ของสัญญาณด้วย

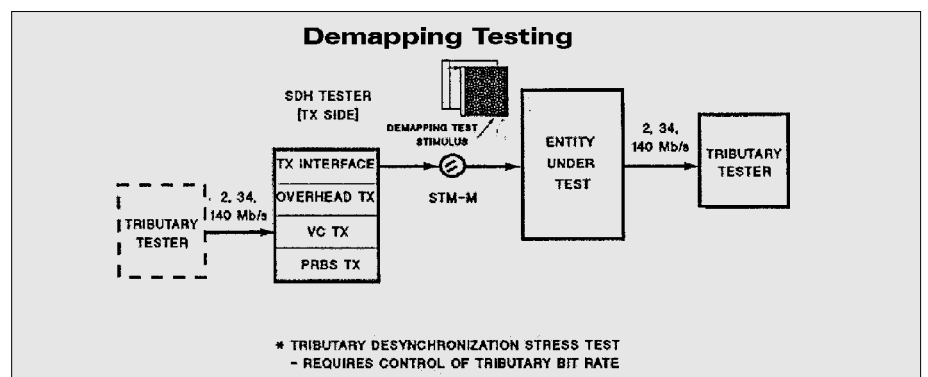
การทดสอบสัญญาณ Alarm (Alarm

Testing)

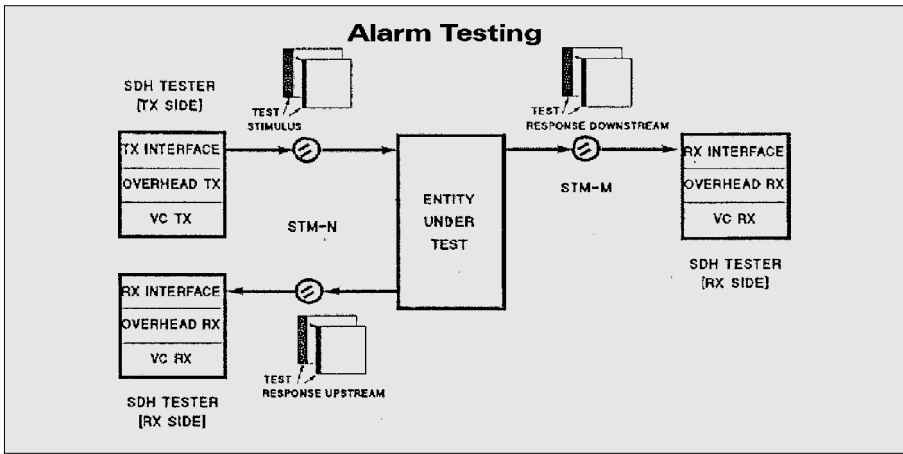
การทดสอบนี้จะทำการตรวจสอบความสามารถของการเฝ้าตรวจสอบ alarm ของอุปกรณ์ SDH โดยใช้เครื่องมือทดสอบ SDH สำหรับส่งสัญญาณ alarm ที่ใช้ทดสอบ (รูปที่ 7) สัญญาณ alarm ที่ใช้ทดสอบจะถูกส่งทางไปทีใน path overhead หรือ section overhead ของสัญญาณ SDH เมื่ออุปกรณ์ SDH ได้รับสัญญาณ alarm หรือสาเหตุที่ทำให้เกิด alarm ก็จะมีปฏิกิริยาโต้ตอบด้วยการกำเนิดสัญญาณ alarm ที่เหมาะสม ส่งไปในทิศทาง downstream หรือบางทีในทิศทาง upstream ด้วย ซึ่งก็จะใช้เครื่องมือทดสอบ SDH สำหรับตรวจสอบสัญญาณโต้ตอบที่เกิดขึ้นในแต่ละทิศทาง

ตัวอย่าง ถ้าเกิดสัญญาณ alarm

เช่น Loss of Signal (LOS), Loss of Frame (LOF) และ Loss of Pointer (LOP) ก็จะทำให้เกิดสัญญาณ Alarm Indication Signal (AIS) ส่งไปในทิศทาง downstream สัญญาณ AIS จะมีอยู่หลายระดับด้วยกัน ขึ้นอยู่กับว่าสัญญาณระดับใดได้รับผลกระทบ (อาจจะเป็นระดับ Regenerator Section, ระดับ Multiplexer Section หรือระดับ Path) นอกจากนี้ยังมีสัญญาณระดับอื่นๆ ที่ส่งในทิศทาง upstream เพื่อแจ้งเตือนถึงปัญหาที่เกิดขึ้นในทิศทาง downstream ตัวอย่างเช่น สัญญาณ Far End Receive Failure (FERF) จะถูกส่งในทิศทาง



รูปที่ 6 : การทดสอบการดีแมพสัญญาณ



รูปที่ 7 : การทดสอบสัญญาณ Alarm

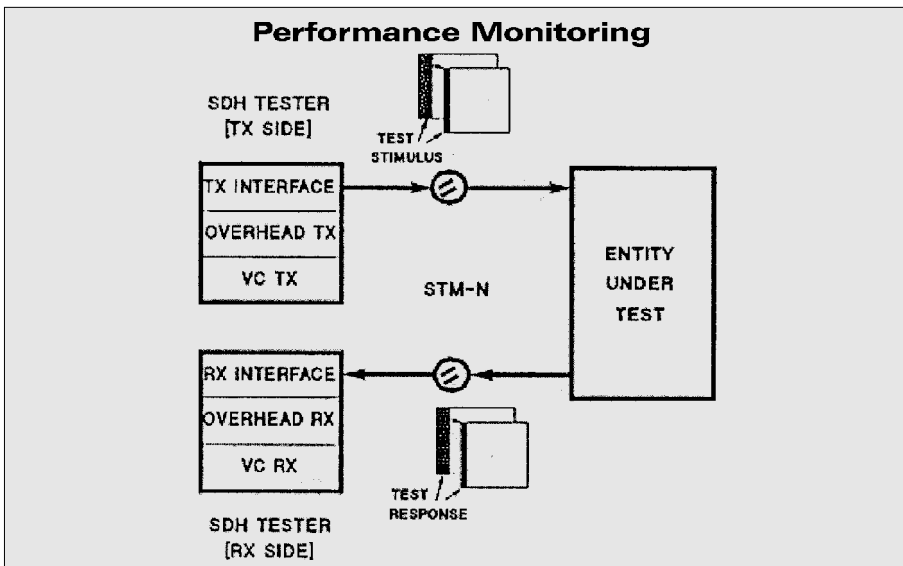
upstream ทาง Multiplexer Section Overhead ภายหลังจากที่ได้ตรวจจับพบ Multiplexer Section AIS, LOS หรือ LOF ส่วนสัญญาณ Remote Alarm Indication (RAI) จะถูกส่งในทิศทาง upstream ทั้งใน High Order Path Overhead และ Low Order Path Overhead ภายหลังจากที่ได้ตรวจจับพบ Path AIS หรือ LOP ใน High Order Path Overhead

ภาพที่แสดงถึงสาเหตุและทิศทางการส่งสัญญาณ alarm ต่างๆ ได้แสดงไว้ในรูปที่ 13

การทดสอบการเฝ้าตรวจสอบ performance ของอุปกรณ์ (Performance Monitoring Testing)

การทดสอบนี้จะตรวจสอบความสามารถของการเฝ้าตรวจสอบ performance ของอุปกรณ์ SDH (รูปที่ 8) เครื่องมือทดสอบ SDH สามารถทำการแทรก error ตามอัตราที่เลือกไว้เข้าไปใน Bit-Interleaved-Parity (BIP) ที่คำนวณให้กับ Regenerator Section, Multiplexer Section และ Path Overhead

errors ที่เกิดขึ้นนี้ จะทำให้อุปกรณ์ SDH มีปฏิกิริยาตอบสนองด้วยการกำเนิดสัญญาณ Far End Block Error (FEBE) ส่งกลับมาในทิศทาง upstream เครื่องมือทดสอบ SDH ก็จะมีการตรวจสอบ error count ที่อยู่ในสัญญาณ FEBE ว่าจะตรงกับ-



รูปที่ 8 : การทดสอบการเฝ้าตรวจสอบ performance ของอุปกรณ์

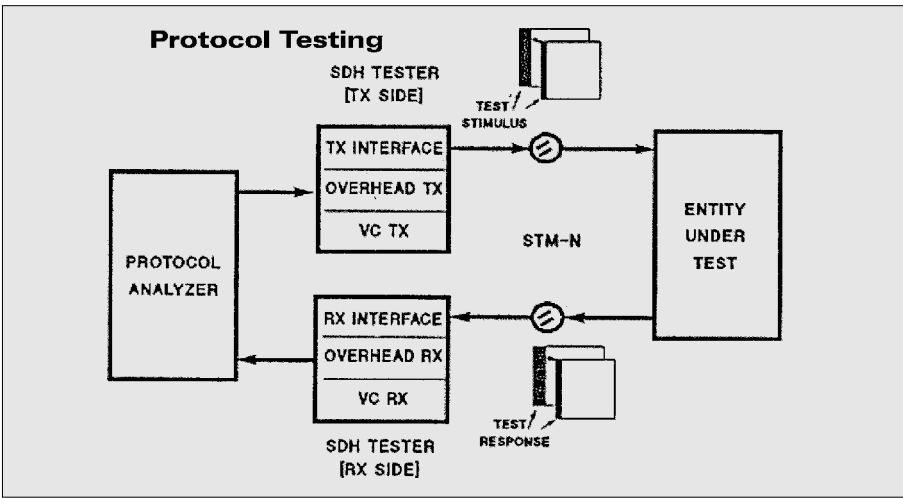
อัตรา error ที่เลือกไว้หรือไม่
ภาพที่แสดงถึงสาเหตุและทิศทางการส่งสัญญาณ FEBE ได้แสดงไว้ในรูปที่ 13

การทดสอบโปรโตคอล (Protocol Testing)

ภายในส่วนของ section overhead ของสัญญาณ STM-N จะมีช่องสัญญาณสื่อสารข้อมูล (Data Communication Channel (DCC)) อยู่ 2 ช่องด้วยกัน ช่องหนึ่งมีความเร็ว 192 kb/s อยู่ในส่วนของ Regenerator Section Overhead ส่วนอีกช่องหนึ่งมีความเร็ว 576 kb/s อยู่ในส่วนของ Multiplexer Section Overhead ช่องสัญญาณ DCC เหล่านี้ถูกนำมาใช้สำหรับส่ง messages สื่อสารทางด้าน network management และ maintenance ระหว่างอุปกรณ์ network element ต่างๆ และระหว่างอุปกรณ์ network element กับระบบคอมพิวเตอร์ NMS (Network Management System) โปรโตคอลที่จะทดสอบนี้ก็คือโปรโตคอลของ messages สื่อสารดังกล่าวนี้

การทดสอบโปรโตคอลเป็นการขยายเพิ่มเติมจากการทดสอบ alarm และ performance ของอุปกรณ์ (รูปที่ 9) การทดสอบนี้ต้องการมุ่งเน้นที่จะตรวจสอบข้อมูลทางด้าน network management และ maintenance ที่เกิดจากเงื่อนไขของสัญญาณโอเวอร์เฮดแบบต่างๆ

เครื่องมือทดสอบ SDH จะทำการส่งเงื่อนไขต่างๆ ที่จะทดสอบ เช่น alarm หรือ BIP error เข้าไปในโอเวอร์เฮดของสัญญาณ SDH ซึ่งก็จะทำให้อุปกรณ์ SDH มีการตอบสนองด้วยการกำเนิด message ออกมาทางช่องสัญญาณ DCC เครื่องมือทดสอบ SDH จะให้ช่องทางติดต่อไปยังช่องสัญญาณ DCC แก่เครื่อง Protocol Analyzer เพื่อว่า message ที่ตอบสนองสามารถถูกแยกออก-



รูปที่ 9 : การทดสอบโปรโตคอล

มาวิเคราะห์ได้

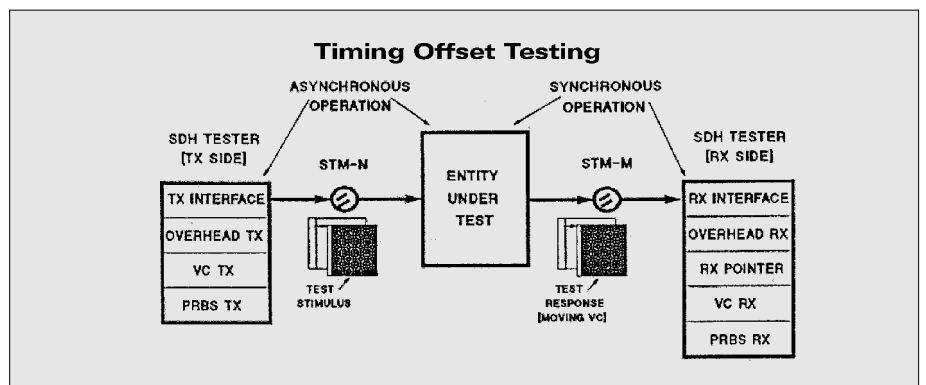
การทดสอบ Timing Offset

การทดสอบนี้ (รูปที่ 10) จะทำการตรวจสอบการทำงานของวงจรประมวลผลพอยเตอร์ที่อยู่ภายในอุปกรณ์ SDH แหล่งกำเนิดสัญญาณ STM-N ที่อินพุตให้กับอุปกรณ์ SDH จะถูกทำให้ไม่ซิงโครไนซ์กับแหล่งสัญญาณเวลาอ้างอิงของอุปกรณ์ SDH เพื่อทำให้เกิด timing offset ขึ้นระหว่าง 2 แหล่งสัญญาณนี้ นั่นก็คือ ภาคส่งของเครื่องมือทดสอบ SDH จะทำงานอะซิงโครไนซ์กับอุปกรณ์ SDH แต่ทางด้านภาครับของเครื่องมือทดสอบ SDH นั้น จะทำงานซิงโครไนซ์กับอุปกรณ์ SDH กล่าวคือ การจัดการทดสอบแบบนี้ ต้องการให้ภาคส่งและภาครับของเครื่องมือทดสอบ SDH มีการทำงานที่อะซิงโครไนซ์กัน

ทางด้านภาคส่งของเครื่องมือทดสอบ SDH จะทำการกำเนิด VC ที่ใช้ทดสอบ ซึ่งภายในจะมี PRBS เก็บอยู่ VC ที่ใช้ทดสอบนี้จะถูกส่งเข้าไปในสัญญาณ STM-N สัญญาณนี้จะไม่ซิงโครไนซ์กับอุปกรณ์ SDH และถูกปรับให้มี frequency offset เกิดขึ้นเพื่อใช้ทดสอบความสามารถของการประมวลผลพอยเตอร์ภายในอุปกรณ์ SDH การเกิด timing offset ขึ้นระหว่างสัญญาณทดสอบ

STM-N กับอุปกรณ์ SDH จะทำให้ต้องมีการปรับค่าพอยเตอร์เพื่อซิงโครไนซ์ VC เข้ากับอุปกรณ์ SDH ผลที่ตามมาก็คือ VC ที่ใช้ทดสอบนี้จะมีการขยับเคลื่อนย้ายเทียบกับเฟรมสัญญาณ STM-M ที่เอาท์พุทออกมาจากอุปกรณ์ SDH

ทางภาครับของเครื่องมือทดสอบ SDH จะมีการซิงโครไนซ์กับอุปกรณ์ SDH เมื่อเครื่องมือทดสอบทำการดีมัลติเพล็กซ์เอา VC ที่ใช้ทดสอบออกมาแล้ว ก็จะทำให้การวัด BER ที่เกิดขึ้นอันนี้เป็นผลจากการปรับค่าพอยเตอร์ก่อนหน้านั้น จำนวนครั้งของการปรับค่าพอยเตอร์ต่อหน่วยเวลา จะเป็นตัววัดถึง frequency offset ที่เกิดขึ้นระหว่างแหล่งสัญญาณเวลาอ้างอิงของอุปกรณ์ SDH กับแหล่งสัญญาณเวลาอ้างอิงของเครื่องมือทดสอบ



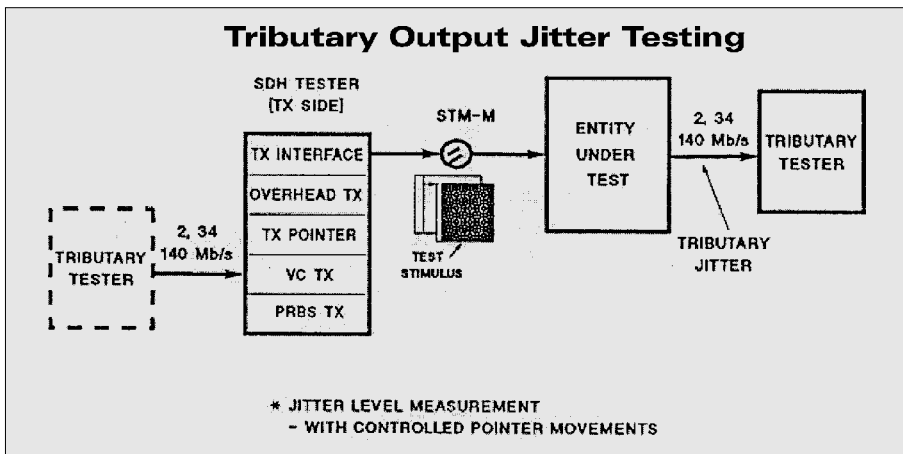
รูปที่ 10 : การทดสอบ Timing Offset

การทดสอบ Tributary Output Jitter

การขยับเคลื่อนย้ายของ VC ภายในเฟรม STM-M นั้น จะทำให้เกิดการปรับค่าพอยเตอร์ขึ้น ผลที่ตามมาก็คือ จะทำให้มีระดับของ tributary jitter เกิดขึ้นสูงมากกว่าระดับ tributary jitter ที่เกิดจากระบบการแมพ/ดีแมพสัญญาณทริบูตารี เป็นเพราะว่าการปรับค่าพอยเตอร์แต่ละครั้ง จะทำให้เกิดความไม่ต่อเนื่องทางเวลาขึ้น 8 บิต หรือ 24 บิต บนสัญญาณทริบูตารี การทดสอบนี้ต้องการตรวจสอบว่า ระดับ jitter ที่เกิดขึ้นบนสัญญาณทริบูตารีอันเป็นผลจากการปรับพอยเตอร์ AU/TU นั้น จะอยู่ภายในขอบเขตที่ยอมรับได้หรือไม่

เครื่องมือทดสอบ SDH จะทำการกำเนิด VC ที่ใช้ทดสอบ ส่งเข้าไปในสัญญาณ STM-M (รูปที่ 11) และสามารถควบคุมการปรับพอยเตอร์ให้เป็นไปตามรูปแบบที่กำหนดได้ ผลของการปรับพอยเตอร์ตามรูปแบบต่างๆ จะทำให้เกิด tributary jitter ขึ้น บนสัญญาณทริบูตารีที่เอาท์พุทออกมาจากอุปกรณ์ SDH ระดับ tributary jitter ที่เกิดขึ้นจะต้องไม่เกินค่าสูงสุดที่กำหนดไว้สำหรับรูปแบบการปรับพอยเตอร์แบบต่างๆ นอกจากนี้ อาจจะทำตรวจสอบ BER ที่เกิดขึ้นในอีกทางหนึ่งด้วย

การทดสอบพารามิเตอร์ต่างๆ ของอินเตอร์เฟส (Parametric Testing)



รูปที่ 11 การทดสอบ Tributary Output Jitter

การทดสอบพารามิเตอร์ต่างๆ ของอินเตอร์เฟสได้ถูกนำมารวมไว้ในที่นี้เพื่อให้เกิดความสมบูรณ์ การทดสอบนี้สามารถใช้เครื่องมือวัดที่ใช้งานทั่วไปทดสอบได้ และไม่ใช่เป็นการทดสอบที่เฉพาะเจาะจงกับ SDH เท่านั้น การทดสอบพารามิเตอร์ต่างๆ นี้จะดำเนินการทดสอบ physical interface ทั้งที่เป็น Optical interface และ Electrical interface (รูปที่ 12)

นิยามของ Alarm ต่าง ๆ ในระบบ SDH (รูปที่ 13)

Loss of Signal (LOS)

- สถานะ LOS จะเกิดขึ้นเมื่อระดับสัญญาณที่ได้รับต่ำกว่าค่าที่ทำให้เกิดอัตราบิตผิดพลาดเท่ากับ 10^{-3}
- สถานะ LOS จะสิ้นสุดเมื่อได้รับแพทเทิร์นเฟรมที่ใช้การได้ 2 แพทเทิร์นต่อเนื่องกัน โดยระหว่างช่วงเวลานี้จะต้องไม่มีเงื่อนไข LOS ใหม่เกิดขึ้นอีก

Out of Frame (OOF)

- สถานะ OOF จะเกิดขึ้นเมื่อได้รับแพทเทิร์นเฟรมของ SDH ที่ใช้การไม่ได้ (มี error) ต่อเนื่องกับ 4 เฟรม (หรือบางที 5 เฟรม) ดังนั้นเวลานานสูงสุดที่ใช้ในการตรวจจับ OOF จะเท่ากับ 625 ms
- สถานะ OOF จะสิ้นสุดเมื่อได้รับแพทเทิร์นเฟรมของ SDH ที่ใช้การได้ต่อเนื่องกัน 2 เฟรม

Loss of Frame (LOF)

- สถานะ LOF จะเกิดขึ้นเมื่อเกิดสถานะ OOF เป็นเวลานาน XXXXX ms
 - สถานะ LOF จะสิ้นสุดเมื่อเกิดสถานะ in-frame ต่อเนื่องเป็นเวลานาน XXXXX ms
- หมายเหตุ** ช่วงเวลา XXXXX ms สามารถมีค่าได้ระหว่าง 0-3 ms

Loss of Pointer (LOP)

- สถานะ LOP จะเกิดขึ้นเมื่อได้รับค่าพอยเตอร์ที่ใช้การไม่ได้ต่อเนื่องกับ N

พอยเตอร์ หรือได้รับ NDF (New Data Flag) ต่อเนื่องกัน N ครั้ง (นอกเหนือจากที่ปรากฏใน concatenation indicator) โดยที่ N=8, 9 หรือ 10

- สถานะ LOP จะสิ้นสุดได้รับค่าพอยเตอร์ที่ใช้การได้ มีค่าที่เหมือนกันต่อเนื่องกัน 3 พอยเตอร์ หรือได้รับสัญญาณแสดง AIS ต่อเนื่องกัน 3 ครั้ง

หมายเหตุ สัญญาณแสดง AIS จะมีแพทเทิร์นของบิตในไบท์พอยเตอร์เป็น "1" หมด ส่วนตัวแสดง concatenation indicator จะมีแพทเทิร์นของบิตในไบท์พอยเตอร์เป็น "1001xx11 11111111" (ไบท์ของพอยเตอร์ AU คือ H1, H2 ส่วนไบท์ของพอยเตอร์ TU คือ V1, V2)

Multiplex Section AIS (MS-AIS)

- MS-AIS จะถูกส่งโดย RSTE (Regenerator Section Terminating Equipment) ไปยัง MSTE (Multiplexer Section Terminating Equipment) ในทิศทาง downstream เพื่อแจ้งถึงสถานะ LOS หรือ LOF ที่ตรวจจับได้สัญญาณ STM-N ที่ส่ง MS-AIS นี้ จะประกอบด้วยส่วนของ RSOH ที่ยังคงใช้การได้ ขณะที่ส่วนที่เหลือจะมีแพทเทิร์นเป็น "1" หมดและถูกสแครมเบิลด้วย
- MS-AIS จะเกิดขึ้นภายใน XXXXX ms หลังจากตรวจจับเงื่อนไข failure ได้ และ RSTE จะหยุดส่ง MS-AIS ภายใน XXXXX ms หลังจากเงื่อนไข failure ได้หายไปแล้ว

- MS-AIS จะถูกตรวจจับโดย MSTE เมื่อบิต 6-8 ของไบท์ K2 ถูกเซ็ทเป็น "111" เป็นจำนวน 3 เฟรมติดต่อกัน และ MS-AIS นี้จะหายไปต่อเมื่อบิต 6-8 ของ K2 มีแพทเทิร์นเป็นอย่างอื่นที่ไม่ใช่ "111" เป็นจำนวน 3 เฟรมติดต่อกัน

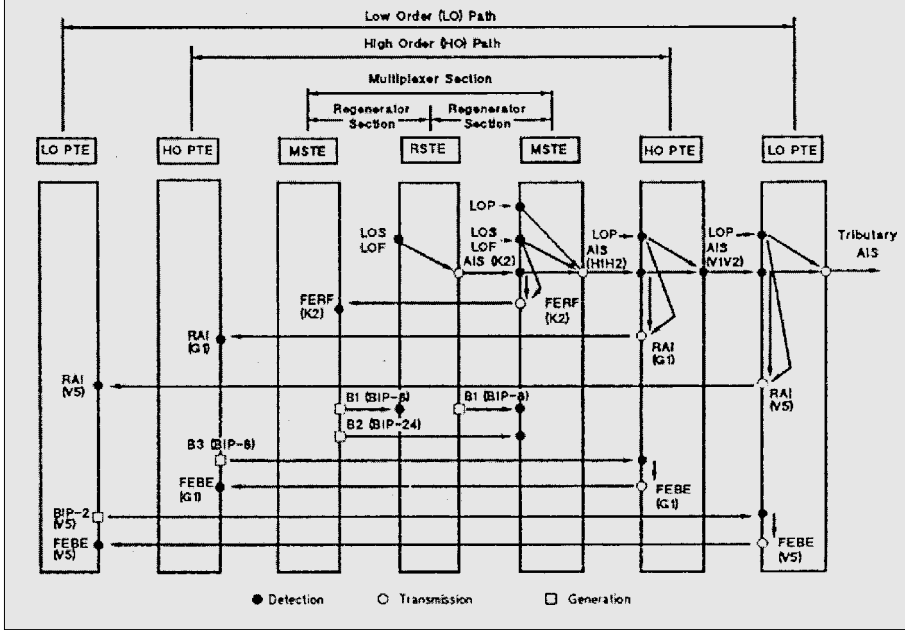
Far End Receive Failure (MS-FERF)

- MS-FERF จะถูกส่งโดย MSTE

Parametric Test Requirements	
OPTICAL INTERFACE TESTING	
TRANSMITTER - Optical Spectrum - Mean Launch Power - Laser Extinction Ratio - Eye Pattern Mask - Transmitter Signal-to-Noise Ratio	RECEIVER - Sensitivity - Overload - Reflectance
ELECTRICAL INTERFACE TESTING - Pulse Mask - Eye Diagram	

รูปที่ 12 : การทดสอบพารามิเตอร์ต่างๆ ของอินเตอร์เฟส

In-service Maintenance Signals



รูปที่ 13 : In-service Maintenance Signals

ภายใน 250 ms หลังจากที่ได้ตรวจจพบ LOS, LOF หรือ MS-AIS บนสัญญาณที่รับเข้ามา MS-FERF ถูกแสดงโดยการเซ็ทบิท 6-8 ของไบท์ K2 ให้เป็น "110"

- MS-FERF จะถูกตรวจจพบโดย MSTE เมื่อบิท 6-8 ของไบท์ K2 ที่ได้รับถูกเซ็ทเป็น "110" เป็นจำนวน 3 เฟรมติดต่อกัน และ MS-FERF นี้จะหายไปต่อเมื่อบิท 6-8 ของ K2 มีแพ็ทเทิร์นเป็นอย่างอื่นที่ไม่ใช่ "110" เป็นจำนวน 3 เฟรมติดต่อกัน

AU Path AIS

- AU Path AIS จะถูกส่งโดย MSTE ไปยัง HO PTE (High Order Path Terminating Equipment) ในทิศทาง downstream เพื่อแจ้งว่าได้ตรวจจพบสถานะ LOP หรือได้รับ AU Path AIS

- AU Path AIS ถูกแสดงโดยการส่งแพ็ทเทิร์นของ "1" ทั้งหมดภายในเฟรม AU-3/4 (นั่นคือ ไบท์พอยเตอร์ H1, H2, H3 รวมกับไบท์ทั้งหมดของ VC-3/4 ที่ถูกซีด้วยพอยเตอร์นี้ จะมีแพ็ทเทิร์นเป็น "1" ทั้งหมด)

- AU Path AIS จะถูกตรวจจพบโดย

HO PTE เมื่อแพ็ทเทิร์น "1" ทั้งหมด ถูกได้รับในไบท์ H1, H2 เป็นจำนวน 3 เฟรมติดต่อกัน AU Path AIS จะหายไปเมื่อได้รับพอยเตอร์ AU ที่ใช้การได้และมี NDF = "0110" เป็นจำนวน 3 ครั้งติดต่อกัน หรือว่าได้รับพอยเตอร์ AU ที่ใช้การได้และมี NDF = "1001" เพียงครั้งเดียว

High Order Path Remote Alarm Indication (HO Path RAI หรือบางที่เรียก HO Path FERF)

- HO Path RAI ถูกกำเนิดโดย HO PTE เป็นการโต้ตอบต่อการได้รับ AU Path AIS และถูกส่งในทิศทาง upstream ไปยัง peer HO PTE

- HO Path RAI ถูกแสดงโดยการเซ็ทบิท 5 ของไบท์ G1 ใน POH ให้เป็น "1"

- HO Path RAI จะถูกตรวจจพบโดย peer HO PTE เมื่อบิท 5 ของไบท์ G1 ที่ได้รับ ถูกเซ็ทเป็น "1" เป็นจำนวน 10 เฟรมติดต่อกัน และ HO Path RAI นี้จะหายไปต่อเมื่อ peer HO PTE ได้รับเฟรมที่มีบิท 5 ของ G1 ถูกเซ็ทเป็น "0" เป็นจำนวน 10 เฟรมต่อเนื่องกัน

TU Path AIS

- TU Path AIS จะถูกส่งไปยัง LO PTE (Low Order Path Terminating Equipment) ในทิศทาง downstream เพื่อแจ้งว่าได้ตรวจจพบสถานะ TU LOP หรือได้รับ TU Path AIS

- TU Path AIS ถูกแสดงโดยการส่งแพ็ทเทิร์นของ "1" ทั้งหมดภายในเฟรม TU-1/2/3 (นั่นคือ ไบท์พอยเตอร์ V1-V4 รวมกับไบท์ทั้งหมดของ VC-1/2/3 ที่ถูกซีด้วยพอยเตอร์นี้ จะมีแพ็ทเทิร์นเป็น "1" ทั้งหมด)

- TU Path AIS จะถูกตรวจจพบโดย LO PTE เมื่อแพ็ทเทิร์น "1" ทั้งหมด ถูกได้รับในไบท์ V1, V2 เป็นจำนวน 3 มัลติเฟรมติดต่อกัน TU Path AIS จะหายไปเมื่อได้รับพอยเตอร์ TU ที่ใช้การได้และมี NDF = "0110" เป็นจำนวน 3 ครั้งติดต่อกัน หรือว่าได้รับพอยเตอร์ TU ที่ใช้การได้และมี NDF = "1001" เพียงครั้งเดียว

Low Order Path Remote Alarm Indication (LO Path RAI หรือบางที่เรียก LO Path FERF)

- LO Path AIS ถูกกำเนิดโดย LO PTE เป็นการโต้ตอบต่อการได้รับ TU Path AIS และถูกส่งในทิศทาง upstream ไปยัง peer LO PTE

- LO Path RAI ถูกแสดงโดยการเซ็ทบิท 8 ของไบท์ V5 ใน LO POH ให้เป็น "1"

- LO Path RAI จะถูกตรวจจพบโดย peer LO PTE เมื่อบิท 8 ของไบท์ V5 ที่ได้รับ ถูกเซ็ทเป็น "1" เป็นจำนวน 10 มัลติเฟรมติดต่อกัน และ LO Path RAI นี้จะหายไปต่อเมื่อ peer LO PTE ได้รับมัลติเฟรมที่มีบิท 8 ของ V5 ถูกเซ็ทเป็น "0" เป็นจำนวน 10 มัลติเฟรมต่อเนื่องกัน.