

DDR-SDRAM

หน่วยความจำความเร็วสูง

ความท้าทายใหม่ที่มาพร้อมกับเทคโนโลยีของ Source-Synchronous Interfaces

สิริวิภา นิธิกุล

เนื่องจากความสามารถของการสื่อสารข้อมูลภายในคอมพิวเตอร์ได้รับการคาดหวังถึงความเร็วที่สูงขึ้นเรื่อยๆซึ่งมีแนวโน้มว่าการพัฒนาทางด้านอินเทอร์เฟซซึ่งโครนัสแบบเดิมเดิมมีแนวโน้มว่าจะพัฒนาตามไม่ทันกับที่ระบบต้องการ Source-Synchronous Interfaces เป็นทางออกทางหนึ่งที่จะสามารถเพิ่มประสิทธิภาพการอินเทอร์เฟซระหว่างระบบย่อยต่างๆ บนเมนบอร์ดโดยมีแบนด์วิดท์ที่สูงขึ้น แต่ก็ต้องการความระมัดระวังในการออกแบบและการผลิตมากขึ้น

ความเร็วของการอินเทอร์เฟซ บนเมนบอร์ดแบบเดิมนั้นยังมีขีดจำกัดอยู่ที่ไม่เกิน 250 Mbps ที่ระยะทาง 5 นิ้ว นักออกแบบกำลังให้ความสนใจต่อการอินเทอร์เฟซแบบ Source-Synchronous Interfaces ซึ่งทดลองดูแล้ว ปรากฏว่าสามารถให้ความเร็วในการเปลี่ยนสถานะในบัสข้อมูลได้ถึง 1 พันล้านสถานะใน 1 วินาที ในระดับความยาวสาย 5 เมตรได้

เทคนิคการอินเทอร์เฟซแบบ Source-Synchronous Interfaces นี้จริงๆแล้วมีการใช้งานกันในปัจจุบันบ้างแล้ว ซึ่งเห็นผลได้ชัดในเรื่องของความสามารถของระบบที่ดีขึ้น ยกตัวอย่างในกรณีนี้คือ การอินเทอร์เฟซของเมนบอร์ดเข้ากับหน่วยความจำ ไม่ว่าจะเป็น Double Data Rate SRAM (DDR-SRAM), Double Data Rate Synchronous DRAM (DDR-SDRAM), Synchronous Graphic

- : RAM และ Direct Rambus DRAM
- : ส่วนตัวอย่างในงานทางด้านโครงข่าย-
- : และงานอินเทอร์เฟซแอตต์พุตอินพุตที่นำออก-
- : มาใช้งานในปัจจุบันแล้วก็มี Scalable
- : Coherent Interface (SCI), Silicon
- : Graphics(www.sgi.com) Craylink และ
- : High Performance Interface (HIPPI)-6400-
- : PH

- : ตัวอย่างที่จะนำมาศึกษาในต่อไปนี่
- : เป็นการรีวิวในเรื่องของเทคโนโลยี Source-
- : Synchronous Interfaces ที่ใช้ใน DDR-
- : SDRAM
- : **Source-Synchronous Interfaces**
- : การอินเทอร์เฟซแบบ Source-
- : Synchronous Interfaces นี้จะใช้วิธีการส่ง-

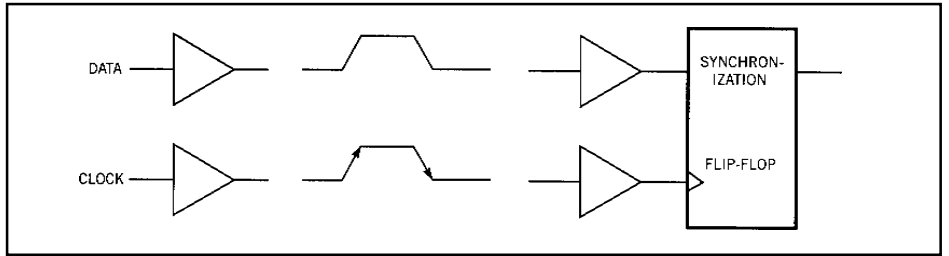
Synchronous interface	Source-synchronous interface
Limits the time of flight between two ICs to a clock period	Has no time-of-flight limit between two ICs
Requires clock-skew control	Requires no clock-skew control between ICs
Presents no interface-synchronization challenge for multiple-RAM interface	Presents an interface-synchronization challenge for interface with two or more RAMs
Increases pin count for interface to increase total bandwidth for interface	Increases frequency to increase total bandwidth for interface

ตารางที่ 1 : เปรียบเทียบความแตกต่างระหว่างการส่งข้อมูลแบบซิงโครนัสธรรมดา และ Source-Synchronous Interfaces

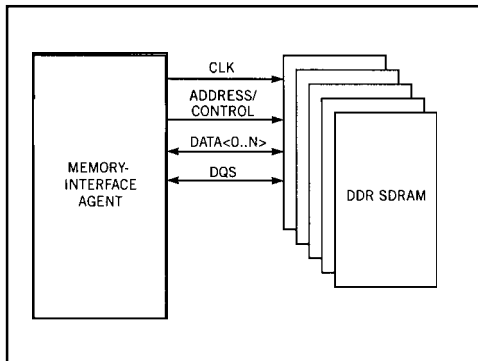
สัญญาณคล็อกและบิตข้อมูลไปพร้อมกันจากภาคส่งไปภาครับผ่านทางบิตข้อมูล ทางฝ่ายภาครับจะใช้สัญญาณคล็อกที่รับได้ในการแล็ทซ์ข้อมูลไว้ Source-Synchronous Interfaces ให้ข้อดีที่เหนือกว่าการอินเตอร์เฟสแบบซิงโครนัสเดิมๆ ตรงที่ใช้ประโยชน์จากจังหวะการเปลี่ยนลอจิกของคล็อกทั้งขึ้นและลงในทางที่จะแล็ทซ์ข้อมูลไว้ และการแล็ทซ์แต่ละครั้งไม่จำเป็นต้องรอเวลาให้ครบครึ่งคาบสัญญาณนาฬิกา สัญญาณคล็อกก็สามารถเปลี่ยนสถานะเพื่อส่งบิตข้อมูลต่อไปได้เลย เทคนิคนี้ไม่ทำให้จำนวนขาของไอซีเพิ่มขึ้นแต่อย่างใด

Source-Synchronous Interfaces จะจัดปัญหาในเรื่องของ Time of Flight ซึ่งเป็นช่วงเวลาที่เสียไประหว่างบิตที่รอจังหวะในการอินเตอร์เฟสแบบซิงโครนัส ทั่วๆ ไป และไม่จำเป็นต้องควบคุมค่าความชันของคล็อก (ดังในตารางที่ 1) ข้อดีอีกอย่างของ Source-Synchronous Interfaces คือดูเหมือนว่าการอินเตอร์เฟสแบบ Source-Synchronous Interfaces นี้จะสามารถเพิ่มความเร็วของการส่งผ่านเข้าออกได้มากจนเกือบจะเรียกได้ว่าไม่จำกัดเลย ซึ่งการทำการเพิ่มแบนด์วิธที่การรับส่งข้อมูลต่อ 1 ขาไอซี จะทำให้การออกแบบสามารถควบคุมอัตรารับส่งรวมให้เหมาะสมกับจำนวนขาไอซี ซึ่งส่งผลไปถึงการใช้เทคโนโลยีแพ็คเกจจิ้งในเวลานั้นได้อย่างเต็มที่และเหมาะสม ความถี่ของการรับส่งสัญญาณนั้นสามารถเพิ่มขึ้นได้ 5 ถึง 10 เท่าของความถี่หลักที่ใช้ในเครื่องมือชิ้นนี้

อย่างไรก็ตาม Source-Synchronous Interfaces ก็ยังคงเป็นความท้าทายสำหรับการออกแบบวงจรของเมนบอร์ดสมัยใหม่ การออกแบบวงจรมันจริงๆ แล้ว ไม่จำเป็นต้องไปคาดหวังอะไรมาจนกว่าจะเร่งอัตราส่งขึ้นไปได้เท่าไรจากอัตราที่ตั้งใจไว้ แต่ถ้าหากงานนั้นจำเป็นต้องทราบให้ได้ว่าความสามารถแฝงที่ซ่อนอยู่นั้นมีเท่าไรก็จะทำให้ระบบมีความสามารถที่จะเพิ่มอัตรารับส่งได้ แต่ก็จะต้องระวังในเรื่องความสามารถของโครงสร้างไอซีที่จะรับส่งสัญญาณได้เร็วขนาดไหน ทำให้



รูปที่ 1 : Double Data Rate Interfaces (DDR) จะทำการส่งข้อมูลที่ขอบทั้งสองของสัญญาณคล็อก



รูปที่ 2 : การอินเตอร์เฟสของ DDR-SDRAM ประกอบด้วยการอินเตอร์เฟสของ Address/Control และ Data แยกจากกัน

ต้นทุนเรื่องความซับซ้อนของอุปกรณ์แพ็คเกจจิ้งจะมีค่าเพิ่มขึ้นตามความถี่ด้วย อีกทั้งยังต้องคำนึงถึงเวลาที่ใช้เปลี่ยนสถานะ (Timing Skew) และแพทเทิร์นรูปตา (Eye Pattern) เพื่อที่จะกำหนดความถี่ในการรับส่งข้อมูลรวมของระบบได้

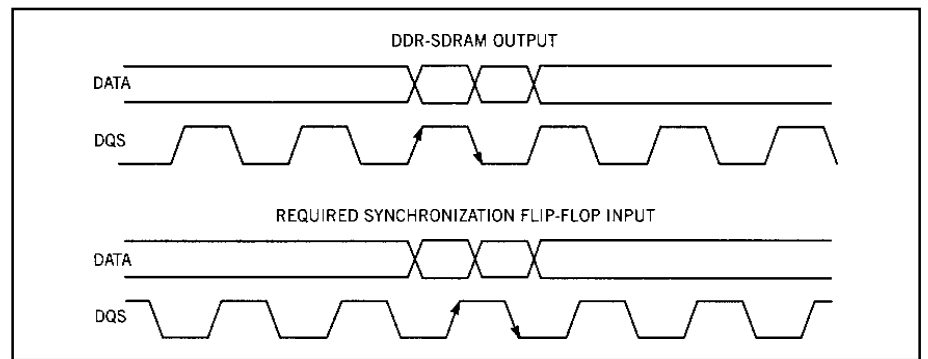
การออกแบบสร้างอินเตอร์เฟส

การอินเตอร์เฟสแบบ DOUBLE DATA RATE (DDR) จะใช้จังหวะขอบของสัญญาณคล็อกทั้งขาขึ้นและขาลงในการบอก

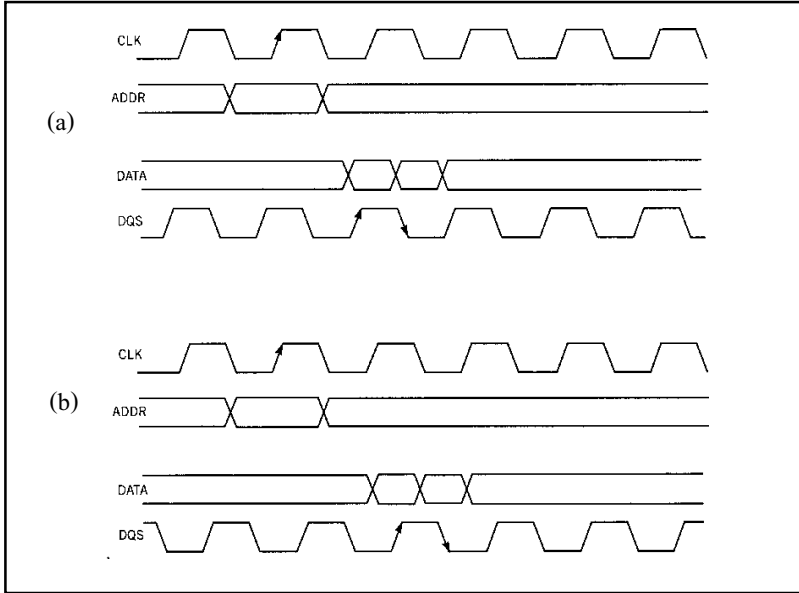
จังหวะของข้อมูลที่ส่งมาเพื่อให้ภาครับทำการรับข้อมูลไว้ หรือที่เรียกว่าการสโตรป เทคนิคนี้ยังใช้ในแคชเมมโมรี่ระดับ 2, 3, เมมโมรี่หลัก และ เมมโมรี่เฟรมบัพไฟเฟอร์ ด้วย

การนำเทคนิคนี้ไปใช้กับหน่วยความจำ จะต้องคิดให้ดีเพราะจะมีความยุ่งยากในการออกแบบ เนื่องจากธรรมชาติของไบท์ข้อมูลที่เข้าออกจากหน่วยความจำอย่างอิสระซิงโครนัส (คือบอกแน่นอนไม่ได้ว่าไบท์ต่อไปจะเข้ามาเมื่อไหร่) ดูรูปที่ 1

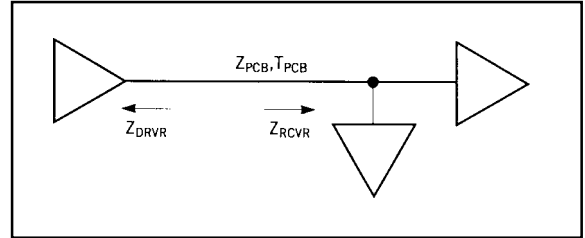
DDR-SDRAM ที่ใช้กันอยู่ในปัจจุบันนี้ มีอินเตอร์เฟสชนิดอนุกรมประกอบอยู่ในตัว อยู่สองอินเตอร์เฟสคือ การอินเตอร์เฟสข้อมูล (Data Interfaces) และการอินเตอร์เฟสแอดเดรส/สัญญาณควบคุม (Address/Control Interfaces) ดังในรูปที่ 2 การเขียนหรืออ่านข้อมูลเข้าออกจากหน่วยความจำจะกระทำในจังหวะที่สัญญาณ DQS เปลี่ยนสถานะ ส่วนข้อมูลแอดเดรสและสัญญาณควบคุมจะส่งให้กับหน่วยความจำในอัตราเร็วแค่ครึ่งหนึ่งคือส่งให้หน่วยความจำทำการแล็ทซ์ข้อมูล



รูปที่ 3 : การหน่วงเวลาสัญญาณ DQS ที่ออกมาจากหน่วยความจำทำให้ฝั่งภาครับ ได้รับช่วงเวลา เซ็ทอัพและโฮลด์ ได้อย่างเหมาะสม



รูปที่ 4 : จังหวะการเขียนของ DDR ในรูป 4a ไม่แตกต่างจากจังหวะการอ่านของ DDR ในรูป 4b เพียงแต่สลับกันเป็นผู้รับหรือผู้ส่งเท่านั้น



รูปที่ 5 : การเทอร์มินเนตทั้งทางภาครับและภาคส่งที่เหมาะสมจะช่วยลดเวลาการเช็ดตัวของพัลส์ที่ภาครับได้ เนื่องจากจะไม่มีสัญญาณสะท้อนกลับไปกลับมาในสายนำสัญญาณทำให้การเช็ดตัวใช้เวลาสั้น

ไว้เฉพาะช่วงจังหวะที่สัญญาณ CLK เปลี่ยนสถานะจาก 0 ไป 1 เท่านั้น การอินเตอร์เฟสแบบนี้จะมีปัญหาที่ยากตามมา เช่นความไม่แน่นอนของช่วงความกว้างของสัญญาณพัลส์และจิทเทอร์ของสัญญาณ CLK และ DQS จะทำให้การเขียนอ่านผิดพลาดได้

ในรูปที่ 3 บน เป็นสัญญาณของบิตข้อมูลและ DQS ที่ ซึ่งโครนัสออกมาจาก SDRAM และจำเป็นต้องทำการหน่วงเวลาสัญญาณ DQS เพื่อให้ได้จังหวะสัมพันธ์กันของสัญญาณชุดนี้ดังรูปที่ 3 ล่าง ซึ่งเป็นสัญญาณที่ต้องการและถูกส่งต่อไปยัง Synchronous Flip-flop วิธีการหน่วงสัญญาณที่นิยมใช้กันคือ Digital Delay Locked Loop (DLL) หรือ Phase Locked Loop (PLL) ที่อยู่ใน เอเจนท์หน่วยความจำหรืออาจใช้เทคนิคการกักตายนีออนที่ไหลไปวนมาเพื่อทำการหน่วงเวลาสัญญาณก็ได้ ไม่ว่าผู้ออกแบบจะใช้เทคนิคใด ระบบก็สามารถทำงานได้แต่ถ้าจะเป็นการระบุเจาะจงไปเลยว่าระบบนี้จะต้องใช้สัญญาณนาฬิกาของเมนบอร์ดย่านความถี่เท่าไร ปัญหาอีกอย่างของการใช้ DLL หรือ PLL เข้ามาทำการหน่วงเวลาจะเป็นการสิ้นเปลืองค่าใช้จ่ายและเนื้อที่บนเมนบอร์ดมากขึ้น เนื่องจาก SDRAM

หนึ่งตัวจะต้องใช้ DLL หรือ PLL สองตัวในการอินเตอร์เฟสดังในรูปที่ 4

DDR-SDRAM มีเป้าหมายที่จะเร่งอัตราการส่งข้อมูลเข้าออกที่มากกว่า 250 Mbps ซึ่งปัญหาที่ตามมาคือ สัญญาณพัลส์ที่มีความเร็วสูงกว่า 125 MHz นี้ถ้าหากใช้บัลลิสต์ที่ไม่มีการเทอร์มินเนตหรือเทอร์มินเนตไม่ดีจะมีปัจจัยในเรื่องของความยาวสายที่ปลงตัวเป็นจำนวนเท่าของ 1/4 หรือ 1/2 จะเกิดเรโซแนนซ์ขึ้นมา ทำให้ช่วงเวลาการเช็ดตัวของพัลส์จะยาวนานขึ้น

สำหรับ DDR-SDRAM 125 MHz ถ้ากักตายนีออนให้มีลักษณะเป็นเส้นแบนตามข้อกำหนด FR4 ค่า 1/4 และ 1/2 ที่ความเร็วระดับ 250 MHz จะอยู่ที่ความยาว 5.7 และ 11.43 นิ้วตามลำดับ ที่ความยาวนี้สัญญาณที่อยู่บนบัลลิสต์ที่ไม่ได้เทอร์มินเนตจะสะท้อนกลับไปกลับมาทั้งด้านภาครับและภาคส่งจะไปเสริมกับบิตต่อไปทำให้ช่วงเวลาเช็ดตัวจะนานขึ้นดูรูปที่ 5

ตัวอย่างเรื่องจิทเทอร์ของเวลาการเช็ดตัวจะทำให้ V_{OH} (Output High Voltage) และ V_{OL} (Output Low Voltage) ไม่มีความเสถียรภาพก่อนที่จะเริ่มเปลี่ยนสถานะสำหรับบิตต่อไป ดูได้จากรูปที่ 6a ซึ่ง

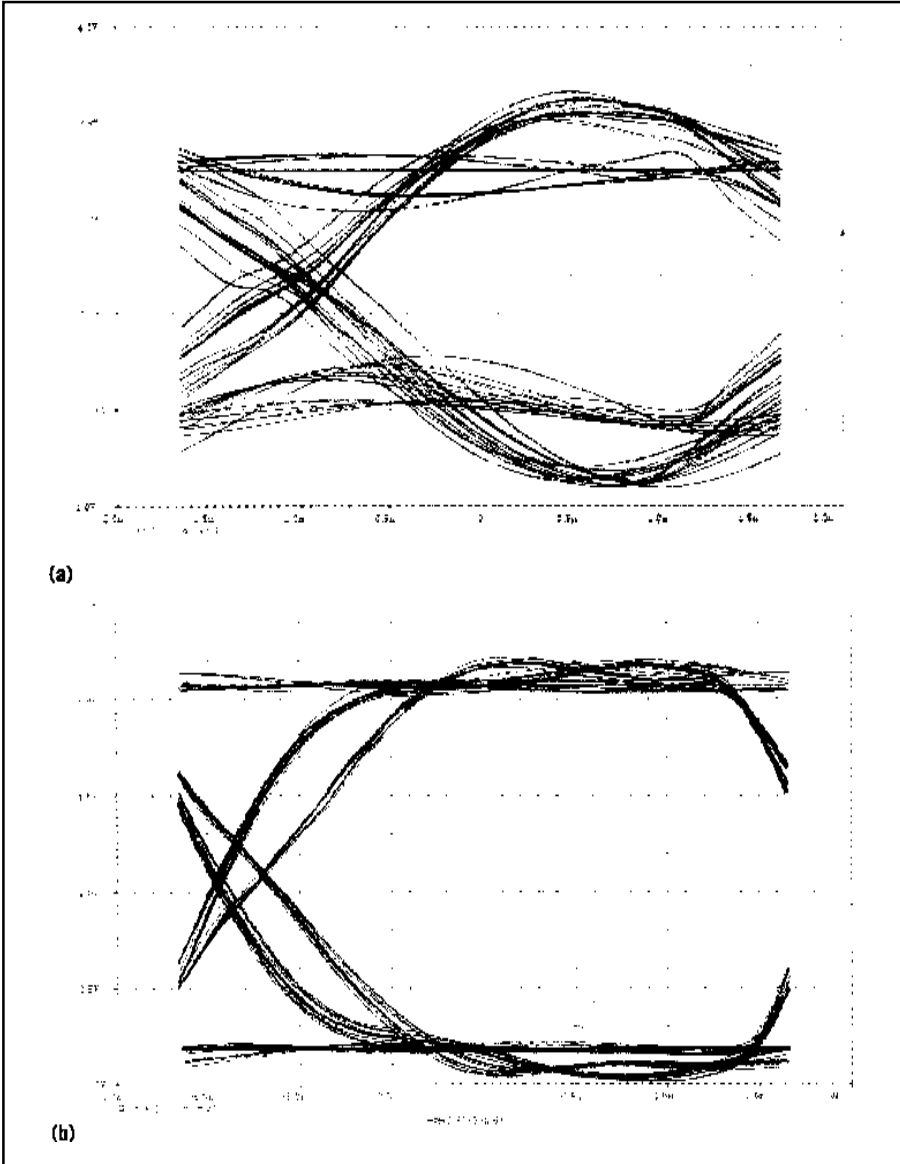
- เป็นรูปของ “Inter Symbol Interference” หรือ “Eye Pattern” เป็นรูปของสัญญาณขนาดความถี่ 200 MHz ข้อมูลที่ได้มานี้คือแต่ละบิตจะใช้เวลา 5 ns จากนั้นดูค่าแรงดันของสัญญาณเทียบกับเวลาในโดเมนเวลาที่ฝั่งรับสัญญาณ

จากนั้นทำการรับสัญญาณทีละ 10 ns และเอาเฉพาะ 5ns แรกหลายๆครั้งมาซ้อนกัน จะสังเกตุว่าสัญญาณนี้จะมีขอบบนและขอบล่าง ซึ่งเป็นแรงดันของสัญญาณระดับสูงและต่ำ พื้นที่ที่อยู่ภายในของเส้นล่างสุดของแรงดันระดับสูง และเส้นบนสุดของแรงดันระดับต่ำ และยังคงอยู่ในเส้นเฉียงทุกเส้นจะเรียกว่า “ขนาดของตา” (“Eye Size”) การวางตำแหน่งของขอบสัญญาณ DQS และ CLK ต้องได้ตำแหน่งแนวเดียวกับกึ่งกลางดวงตาจึงจะทำให้ฝั่งรับสามารถแล้ห้ข้อมูลได้อย่างดีที่สุด วิธีการที่จะทำให้การอินเตอร์เฟสมีความแม่นยำและเชื่อถือได้สูงนั้นสามารถทำได้ด้วยการเทอร์มินเนตที่บัสจะทำให้ดวงตามีขนาดโตขึ้นดังในรูปที่ 6b ซึ่งเป็นโอกาสที่จะทำการออกแบบสามารถเร่งความเร็วการรับส่งได้

วิเคราะห์การออกแบบ DDR-SDRAM

การออกแบบเรื่องอินเตอร์เฟสนั้นมีปัจจัยหลักที่ต้องนำมาวิเคราะห์สามประการคือ คุณภาพของสัญญาณ (Signal Quality) จังหวะเวลาของการอินเตอร์เฟส (Interface Timing) และการซิงโครไนส์ (Interface Synchronization)

ในเรื่องของคุณภาพสัญญาณ สิ่งที่มีผลต่อปัจจัยนี้มีหลายประการ เช่น ข้อตกลงการใช้



รูปที่ 6 : การเทอร์มินเนตที่ถูกต้องจะช่วยให้รูปร่างของ Eye Pattern ในรูป a ดีขึ้นเป็น b จะช่วยให้เช็ทที่สัญญาณได้เร็วขึ้นและโฮลตได้นานขึ้น

ลื่อนำสัญญาณ (Signal Line Topology) , การจัดสายปรีนที่บนแผ่นวงจรพิมพ์ และคุณสมบัติของแพ็คเก็จจิ้งของไอซี เหล่านี้จะมีผลต่อคุณภาพของสัญญาณ บัจจัยพวกนี้จะทำให้ นักออกแบบสามารถกำหนด ขนาดของการโอเวอร์ชูทส์ (Overshoot Characterization) และขนาดของ “Eye Pattern” ได้ ดังรูปที่ 7

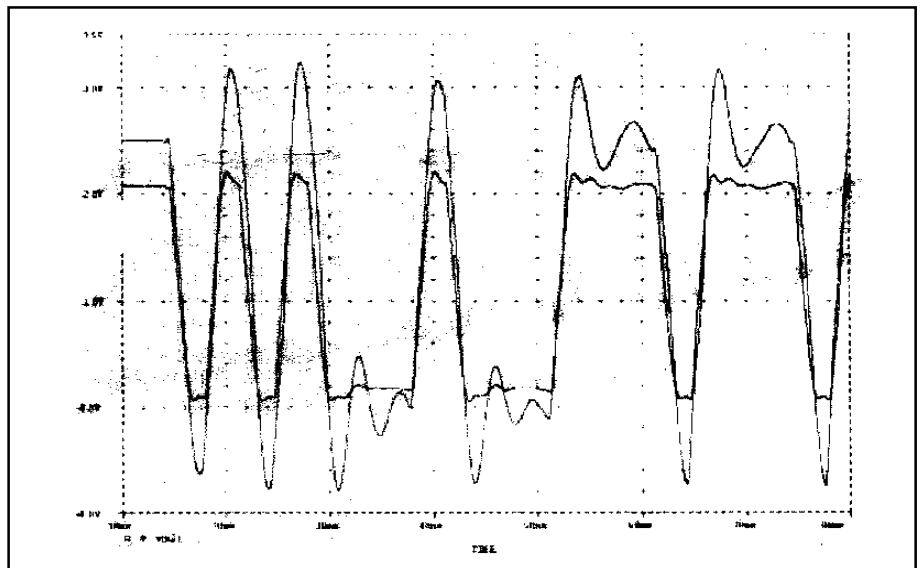
การออกแบบการเทอร์มินเนต บัซซิ่งของ DDR-SDRAM นั้นจะขึ้นกับความเร็ว ข้อมูลที่จะรับส่งและไม่สามารถใช้การเทอร์มินเนตแบบขนานได้ เนื่องจากการสื่อสารแบบสองทิศทางแบบจุดต่อจุด ดังนั้นจึงต้องใช้

การเทอร์มินเนตแบบอนุกรมแทน โดยสามารถบรรจุรวมไว้ในไอซีภาคส่งได้เลย เพื่อจะได้ไม่เป็นการเปลืองอุปกรณ์และเนื้อที่บนเมนบอร์ด

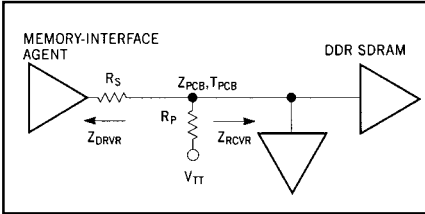
รูปที่ 8

อย่างไรก็ตามถึงแม้ว่าจะมีการหาค่าเทอร์มินเนตชนิดอนุกรมที่แม่นยำได้แล้ว แต่เวลานำไปใช้งานจริง เทอร์มินเนตเหล่านี้จะต้องถูกต่ออนุกรมอยู่กับความต้านทานขาออกของภาคส่ง ซึ่งความผิดพลาดของความต้านทานขาออกที่อยู่ในไอซีนั้นจะอยู่ราวๆ $\pm 22\%$ ซึ่งมากกว่าตัวต้านทานปกติที่ใช้ภายนอกไอซี ซึ่งในขณะนี่ยังไม่เห็นผลของความผิดพลาดตรงนี้มากนัก แต่ถ้ามีการใช้งานที่ความเร็วสูงกว่า 500 Mbps แล้ว ค่าความผิดพลาดของเหล่าตัวต้านทานอนุกรมเหล่านี้จะส่งผลให้แพทเทิร์นรูปตามีลักษณะที่ลดลง

ส่วนบัจจัยที่มีผลต่อจังหวะเวลาของการอินเตอร์เฟสจะแบ่งย่อยไปอีกสามอย่างคือ บัจจัยจากภาคส่ง, บัจจัยจากบัซซิ่งข้อมูล และ บัจจัยจากภาครับ ในบัจจัยจากภาคส่งประกอบไปด้วย จิตเทอร์ของอุปกรณ์ทุกตัว และค่าความชันสัญญาณของตัวส่งสัญญาณ ในบัจจัยจากลื่อนำสัญญาณก็เช่นเดียวกันจะคำนึงถึงจิตเทอร์และค่าความชันของสัญญาณสูงสุดที่ผ่านสายวงจรได้ เพื่อที่จะนำไปหักลบ



รูปที่ 7 : การใช้ชุดข้อมูลสัญญาณแบบสุ่มจะช่วยให้สามารถถึงประสิทธิภาพ และวัดคุณภาพของสัญญาณได้



รูปที่ 8 : การเทอร์มินเนต DDR-SDRAM ต้องเป็นการเทอร์มินเนตแบบอนุกรมเท่านั้น

กันในภาครับ ส่วนปัจจัยจากภาครับก็มีเช่นเดียวกันและเหมือนกันคือค่าจิกเทอร์ของภาครับและค่าความชันสัญญาณสูงสุดของไอซีทุกตัว

จังหวะเวลาสำหรับเมมโมรี่เอเจนท์ ASIC ที่นำมาเป็นตัวอย่างนี้ มาจาก สมาคม TriCN ร่วมกับบริษัท Nvidia(www.nvidia.com) ดั่งในตารางที่ 2-4 เป็นคำแนะนำเพื่อที่จะให้ใช้ได้กับ DRAM ที่มาจากหลายบริษัท โดยแบ่งเป็นจังหวะเวลา การเขียนข้อมูล, การอ่านข้อมูล และการส่งแอดเดรส

จังหวะเวลาการเขียนข้อมูล

Data-write interface-transmitter timing		
Skew component	Setup time (psec)	Hold time (psec)
Data/strobe clock jitter (t_{CJIT})	50	50
Clock skew (t_{CSKEW})	50	50
Buffer-delay mismatch (t_{BDM})	25	25
Buffer pulse-width distortion (t_{BPWD})	150	150
Data source-synchronous-output (SSO) jitter (t_{SSO})	300	
Strobe SSO jitter (t_{SSO})		300
Total timing uncertainty	575	575
Data-write interconnect timing		
Skew component	Setup time (psec)	Hold time (psec)
PC-board-trace skew (t_{PCSK})	25	25
Package-trace skew (t_{PKSR})	25	25
Data eye-pattern jitter (t_{DEYE})	0	500
Strobe eye-pattern jitter (t_{SEYE})	50	0
Strobe-placement error (t_{STP})	125	125
Total timing uncertainty	225	675
Data-write receiver timing		
Skew component	Setup time (psec)	Hold time (psec)
DDR-SDRAM data setup (t_{DDRS})	800	0
DDR-SDRAM data hold (t_{DDRH})	0	400
Total timing uncertainty	800	400
Data-write end-to-end timing		
Skew component	Setup time (psec)	Hold time (psec)
Transmitter-timing uncertainty	575	575
Interconnect-timing uncertainty	225	675
Receiver-timing uncertainty	800	400
Timing margin at 125 MHz	400	350

ตารางที่ 2 : ตารางค่าเวลาของจังหวะการเขียนข้อมูลลดหน่วยความจำของเมมโมรี่เอเจนท์

Data-read transmitter timing		
Skew component	Setup time (psec)	Hold time (psec)
Data/strobe clock jitter (t_{CJIT})	150	150
DDR-SDRAM output skew ($t_{DDRSKEW}$)	500	500
Total timing uncertainty	650	650
Data-read interconnect timing		
Skew component	Setup time (psec)	Hold time (psec)
PC-board-trace skew (t_{PCSK})	25	25
Package-trace skew (t_{PKSR})	25	25
Data eye-pattern jitter (t_{DEYE})	0	625
Strobe eye-pattern jitter (t_{SEYE})	75	0
Strobe-placement error (t_{STP})	125	125
Total timing uncertainty	250	800
Data-read receiver timing		
Skew component	Setup time (psec)	Hold time (psec)
Strobe/data-receiver pulse-width distortion (t_{SDRPWD})	35	35
Strobe-routing skew (t_{SRSEW})	50	50
Flip-flop setup (t_{FS})	200	
Flip-flop hold (t_{FH})		200
Total timing uncertainty	285	285
Data-read end-to-end timing		
Skew component	Setup time (psec)	Hold time (psec)
Transmitter-timing uncertainty	650	650
Interconnect-timing uncertainty	250	800
Receiver-timing uncertainty	285	285
Timing margin at 125 MHz	815	265

ตารางที่ 3 : ตารางค่าเวลาของจังหวะการอ่านข้อมูลออกจากหน่วยความจำของเมมโมรี่เอเจนท์

จังหวะเวลาการเขียนข้อมูลประกอบไปด้วยจังหวะเวลาสัญญาณเอาต์พุตที่มาจากเมมโมรี่เอเจนท์, จังหวะเวลาของบัสข้อมูล, และจังหวะเวลาการรับข้อมูลของ DDR-SDRAM ดั่งในตารางที่ 2

เอาต์พุตที่ออกมาจากเมมโมรี่เอเจนท์จะต้องออกแบบให้มีค่าจิกเทอร์และค่าความชันรวมของบัสทุกเส้นให้แตกต่างกันให้น้อยที่สุด ส่วนประกอบของความชันสัญญาณประกอบด้วย CLK-to-data และ t_{PD} (Propogation delay) ส่วนจิกเทอร์ก็จะมาจาก PLL และความไม่เรียบของแรงดันไฟฟ้าที่มาจากพาวเวอร์ซัพพลายประเภทสวิทซ์

จังหวะเวลาที่เกิดจากบัสข้อมูล มีผลมาจากความยาวของบัสข้อมูลที่ไม่เท่ากันและค่าความเก็บประจุแฝงที่แตกต่างกันของบัสข้อมูลแต่ละเส้น สัญญาณ DQS ที่ตั้งไว้ว่าจะให้ลงตรงตำแหน่งกึ่งกลางของบิตข้อมูลจะคลาดเคลื่อนไปที่ตำแหน่งอื่นที่เป็นลักษณะจิกเทอร์แบบสุ่ม ขนาดของจิกเทอร์นี้ขึ้นอยู่กับว่ามีกรออกแบบลายปรั้นอย่างไร และมีการ-

เทอร์มินต์ได้ดีแค่ไหน

ส่วนจังหวะเวลาของภาครับนั้น จะถูกกำหนดมาจากโรงงานผู้ผลิต DDR-SDRAM ในตัวอย่างนี้ SDRAM ต้องการเวลา 800 psec ในการเชื่อมต่อพืทข้อมูลและต้องการโฮลด์สัญญาณทิ้งไว้ 400 psec จึงจะเก็บข้อมูลเข้าสู่หน่วยความจำได้

จังหวะเวลาการอ่านข้อมูล

จังหวะเวลาการอ่านข้อมูลประกอบไปด้วย จังหวะเวลาการรับข้อมูลของเมมโมรี่เอเจนท์, จังหวะเวลาของบัสข้อมูล และจังหวะเวลาเอาต์พุตของ DDR-SDRAM (ตามตารางที่ 3)

DDR-SDRAM จะเริ่มส่งข้อมูลเมื่อได้รับสัญญาณสโตรป DQS ดังนั้นจึงต้องเอาข้อมูลของสัญญาณสโตรปมาคิดด้วย ส่วนข้อมูล DDS-SDRAM Output Skew ให้แทนที่ด้วยค่าจริงที่โรงงานหน่วยความจำเป็นผู้กำหนดให้

จังหวะเวลาของบัสข้อมูลจะเป็นค่าคงที่เพราะเป็นเรื่องของการออกแบบลายปริ้นท์บนแผ่นวงจร ส่วนทางภาครับที่เป็นเมมโมรี่เอเจนท์จะต้องถูกออกแบบให้มีค่าจิทเทอร์ของสโตรปและสัญญาณข้อมูลแต่ละบิท มีค่าแตกต่างกันน้อยที่สุด

จังหวะเวลาการส่งแอดเดรส

จังหวะเวลาการส่งแอดเดรสจะคล้ายคลึงกับจังหวะการเขียนข้อมูล ประกอบไปด้วย จังหวะเวลาเอาต์พุตของเมมโมรี่เอเจนท์, จังหวะเวลาของบัสแอดเดรส และจังหวะเวลาการรับข้อมูลของ DDR-SDRAM ตามตารางที่ 4 (ค่านี้กำหนดโดยโรงงานผู้ผลิต DDR-SDRAM) ในกรณีตัวอย่างนี้ DDR-SDRAM ต้องการเวลาเชื่อมต่อพืท 2000 psec และโฮลด์ค่าแอดเดรสทิ้งไว้ 1000 psec หลังจากได้รับสัญญาณสโตรป

ด้วยวิธีการวิเคราะห์สัญญาณจากสามวิธีรวมนี้ และรวมไปถึงกระบวนการทางด้านสารกึ่งตัวนำ, การออกแบบลายวงจร, แรงดันไฟฟ้า และอุณหภูมิแล้ว กรณีศึกษา

Address transmitter timing		
Skew component	Setup time (psec)	Hold time (psec)
Data/strobe clock jitter (t_{CMT})	50	50
Clock skew (t_{CSKEW})	50	50
Buffer-delay mismatch (t_{BDM})	25	25
Buffer pulse-width distortion (t_{BPWD})	150	150
Data source-synchronous-output jitter (t_{DSSO})	300	
Strobe SSO jitter (t_{SSO})		300
Total timing uncertainty	575	575
Address interconnect timing		
Skew component	Setup time (psec)	Hold time (psec)
PC-board-trace skew (t_{PCSK})	200	200
Package-trace skew (t_{PKSK})	25	25
Data eye-pattern jitter (t_{DEYE})	900	900
Total timing uncertainty	1125	1125
Address receiver timing		
Skew component	Setup time (psec)	Hold time (psec)
DDR-SDRAM data setup (t_{DORS})	2000	0
DDR-SDRAM data hold (t_{DDRH})	0	1000
Total timing uncertainty	2000	1000
Address end-to-end timing		
Skew component	Setup time (psec)	Hold time (psec)
Transmitter-timing uncertainty	575	575
Interconnect-timing uncertainty	1125	1125
Receiver-timing uncertainty	2000	1000
Timing margin at 125 MHz	300	1300

ตารางที่ 4 : ตารางค่าเวลาของจังหวะการส่งแอดเดรสลงหน่วยความจำของเมมโมรี่เอเจนท์

สามารถช่วยให้นักออกแบบทำการออกแบบอินเตอร์เฟสของ DDR-SDRAM โดยมีประสิทธิภาพในช่วง ± 7 เปอร์เซ็นต์จากที่โรงงานกำหนดแน่นอน เช่นเดียวกันในขณะที่ผู้ผลิต DDR-SDRAM จะปรับปรุงจังหวะเวลาของการรับส่งข้อมูลเข้าออกจากหน่วยความจำได้ดีขึ้นเรื่อยๆ และมีแนวโน้มว่าจะมีการพัฒนาความเร็วขึ้นไปได้สูงกว่า 500 Mbps เลยทีเดียว.

