

SRAM เฉพาะกิจ

ช่วยให้งานราบรื่น

บริษัท ซี.ที.เอส.อี.บี.

มีข้อมูลมากมายหลากหลายประเภทวิ่งอยู่ในเครือข่ายโทรศัพท์และข้อมูล และเป็นທີ່คาดหวังให้เครือข่ายนี้มีการรับส่งข้อมูลในรูปแบบต่างๆ ด้วยความเร็วที่สูงยิ่งขึ้น หน่วยความจำแบบ SRAM มีบทบาทอย่างมากในการตอบสนองความต้องการทั้งด้านประสิทธิภาพและความยืดหยุ่นในการทำงาน..

คำพูดที่ว่าอินเทอร์เน็ตเป็น "ทางด่วนข้อมูล" นั้นเป็นความคาดหวังที่ไม่คำนึงถึงสภาพความเป็นจริง อีกทั้งยังมีขอบเขตที่แคบเกินไป คำว่าทางด่วนข้อมูลทำให้นึกถึงภาพของข้อมูลที่วิ่งอย่างรวดเร็วผ่านเส้นทางอันกว้างใหญ่จากจุดเริ่มต้นไปยังจุดหมายปลายทางที่เป็นเครื่องคอมพิวเตอร์แต่ละเครื่อง ผู้ที่เคยพบกับความผิดพลาดเนื่องจากหมดเวลา (time-out error) จากการใช้เว็บไซต์หรือ FTP ก็ดี หรือเคยพบกับคำว่า "circuits-are-busy" หลังจากที่ถูกหมุนโมเด็มออกไป หรือต้องทนกับความช้าในการรับส่งข้อมูล คงทราบดีถึงความจริงเบื้องหลังคำกล่าวที่เกินจริงคำนี้

จริงๆแล้ว เครือข่ายการสื่อสารในทุกวันนี้ใช้แบ็คโบนที่เป็นไฟเบอร์ออปติกความเร็วสูง แต่ทว่าช่วงสุดท้ายของการเชื่อมต่อไปยังบ้านและหน่วยงานธุรกิจส่วนใหญ่ยังคงเป็นสายคู่ตีเกลียว (twisted-pair) เครื่องคอมพิวเตอร์ส่วนใหญ่ยังคงใช้อินเทอร์เน็ตผ่านโมเด็มอนาล็อก และเครื่องคอมพิวเตอร์ก็ไม่ใช้ประตูข้อมูลเพียงแห่งเดียว ทีวีและโทรศัพท์ก็มีวิธีอื่นอีกในการแลกเปลี่ยนข้อมูล (แต่เราคงจะไม่มาคุยกันเรื่อง คุณภาพ โดยเฉลี่ยของการแลกเปลี่ยนข้อมูล) โปรโตคอลของสายโคแอกซ์ รวมถึงไร้สายแบบต่างๆ ก็เป็นทางเลือกในการรับส่งข้อมูลเช่นกัน

ในบางแง่มุม เครือข่ายข้อมูลที่ครอบคลุมทั่วโลกในปัจจุบันก็คล้ายกับถนน แม้เนื้อหาของข้อมูลเป็นเหมือนตัวยานพาหนะ ส่วนแกว่งทองแดง และอากาศเป็นเหมือนเส้นทางสัญจร

อย่างไรก็ดี ถนนที่มีประสิทธิภาพพอประมาณก็ยังคงประกอบด้วยส่วนประกอบอื่นที่มีความสำคัญ เป็นต้นว่า ถนนต่างระดับและทางแยกเป็นตัวยึดถนนส่วนที่ต่างกันในเรื่องพื้นผิว การจำกัดความเร็ว และจำนวนเลนสัญญาณไฟจราจรและป้ายต่างๆ บนถนนช่วยในการจัดระเบียบให้การจราจรที่อาจเกิดความยุ่งเหยิงได้อย่างรวดเร็ว และเมื่อใช้แผนที่มาประกอบด้วยก็จะช่วยให้ยานพาหนะสามารถวิ่งไปตามเส้นทางที่สั้นที่สุดโดยเร็วที่สุด จุดเปลี่ยนถ่าย เช่นสถานีรถไฟหรือท่าเรือช่วยให้ยานพาหนะหรือสินค้าบนเรือเคลื่อนย้ายสู่ถนนหรือระบบขนส่งอื่น เช่น ทางรถไฟหรือทางน้ำ

RAM แบบหลายพอร์ต

หน่วยความจำแบบ Content-

Vendor	Circle No.	Multiport RAMs	Reduced-function multiport RAMs	CAMs	Reduced-function CAMs	Multiport-RAM cores	CAM cores and custom CAMs	CAM-interface chips
Altera	301					X	X	
Cypress Semiconductor	302	X				X		
Integrated Device Technology	303	X	X					
Kawasaki LSI	304			X			X	X
Lara Technology	305			X			X	
Lucent Technologies	306					X	X	
Mosaid Technologies	307			X			X	
Motorola	308		X		X			
Music Semiconductor	309			X			X	X
NetLogic Microsystems	310			X			X	
UTMC Microelectronics	311							X

ตารางที่ 1 : ผู้จำหน่าย CAM และ RAM แบบหลายพอร์ต และข้อเสนอม

addressable (CAM) และ RAM แบบหลายพอร์ต (ตารางที่ 1) พร้อมด้วยชิ้นส่วนที่ทำงานร่วมกันในเชิงตรรกะ ก็เป็นส่วนประกอบสำคัญสำหรับการสื่อสารข้อมูลและการโทรคมนาคม เช่นเดียวกับถนนต่างระดับ ทางแยก สัญญาณไฟ ป้ายจราจร แผนที่ และจุดเปลี่ยนถ่าย และเช่นเดียวกับบัฟเฟอร์แบบเข้าก่อนออกก่อน (FIFO) RAM แบบหลายพอร์ตเป็นตัวเชื่อมข้อมูลของแขนแขนต่างๆ ที่มีความเร็วข้อมูล ความกว้างของบัส และโปรโตคอลต่างกัน แต่ที่ไม่เหมือนกับการเข้าก่อนออกก่อนก็คือ อุปกรณ์ต่อพ่วงของแต่ละพอร์ตมีการเข้าถึงแบบสลับไปยังตำแหน่งบนแอเรียของหน่วยความจำ ด้วยความสามารถนี้ทำให้เราได้รับประโยชน์อย่างมากมาย

ยกตัวอย่างเช่น ถ้าอุปกรณ์ต่อพ่วงที่หมายถึงซีพียู 2 ตัว หรือซีพียู กับ DSP โพรเซสเซอร์จะสามารถทำงานแยกจากกัน เข้าถึงข้อมูลที่อยู่คนละพื้นที่บนหน่วยความจำได้พร้อมๆ กัน ทำให้เพิ่มประสิทธิภาพการทำงานโดยรวมของระบบได้เป็นอย่างมาก นอกจากนี้ยังอ้างถึงระบบถนนยังมีโพลเวย์ที่ผู้เดินทางได้รับประโยชน์จากการลดเวลาเดินทางซึ่งแตกต่างกับความไม่สะดวกจากการต้องใช้รถร่วมกัน (car pool) โดยการยอมเสียเงินจำนวนเล็กน้อย

เครือข่ายการติดต่อสื่อสารแต่ละเครือข่ายต่างก็มีรูปแบบการให้บริการเป็นของตนเองที่ผู้เดินทางของแต่ละเครือข่ายจะชื่นชอบ โดยปกติแล้วการส่งไฟล์คราวละมาก

ๆ อย่างเช่น FTP และอีเมลต่างๆก็ไม่มีความต้องการที่เข้มงวดในเรื่อง packet-to-packet latency และ time-to-completion อย่างไรก็ตาม ลูกค้าน่าจะพอใจที่จะจ่ายเงินเพิ่มอีกนิดเพื่อแลกกับคุณภาพการบริการที่มีการปรับปรุงให้ดีขึ้น ถึงแม้ว่าเขาจะยังคงใช้อุปกรณ์การเชื่อมต่อเน็ตเวิร์กและวิธีการใช้งานแบบเดียวกับคนรอบข้างก็ตาม เรื่อง latency กลายเป็นเรื่องที่ถูกพูดถึงสำหรับการให้บริการโทรศัพท์และการสื่อสารข้อมูลมัลติมีเดียที่ทำงานบนเครือข่ายข้อมูล

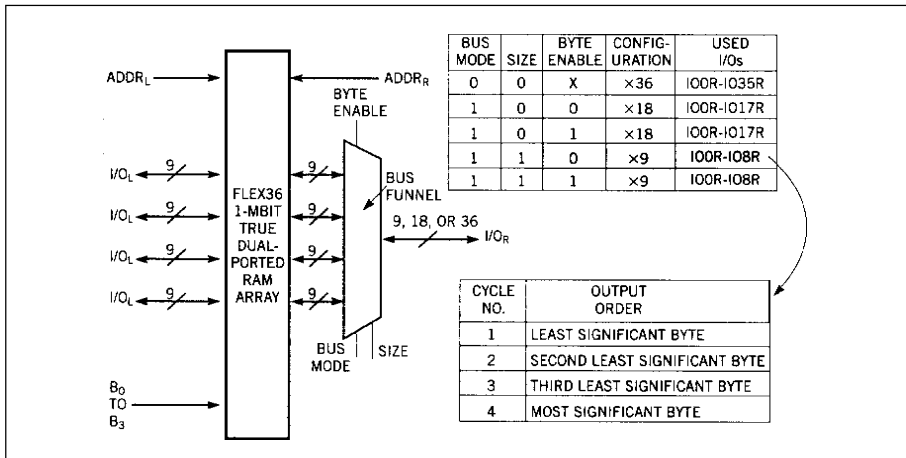
เนื่องจาก RAM แบบหลายพอร์ตเป็นอุปกรณ์ที่มีการเข้าถึงแบบกลุ่ม ทำให้พอร์ตหนึ่งสามารถดึงแพ็กเก็ตในลำดับที่ต่างจากที่อีกพอร์ตหนึ่งดึงมาใช่ ทั้งนี้โปรโตคอลที่มีการเข้าถึงแบบตามลำดับของบัฟเฟอร์แบบเข้าก่อนออกก่อนจะบังคับให้พอร์ตหนึ่งเข้าถึงข้อมูลตามลำดับแบบเดียวกับที่อีกพอร์ตหนึ่งเรียกใช้ ทั้งนี้ CAM มีบทบาทในการสนับสนุนคุณภาพของการให้บริการ

ผู้ผลิต RAM แบบหลายพอร์ตที่ใหญ่ที่สุด 2 ราย ได้แก่ Cypress Semiconductor และ Integrated Device Technology (IDT) เมื่อเทียบกับหน่วยความจำประเภทอื่นๆ แล้ว ความก้าวหน้าของ RAM แบบหลายพอร์ตที่เห็นเด่นชัดในช่วงหลายปีที่ผ่านมามีเรื่องเกี่ยวกับการเพิ่มความจุ ความเร็วในการ burst แบบควิควิต และบัสที่กว้างขึ้น ตอนแรกบริษัททั้งสองใช้กระบวนการในการเป็นผู้นำด้วยการผลิต SRAM ในปริมาณที่สูง แต่ต่อมาได้ใช้

โพรเซสเซอร์ในการผลิต RAM แบบหลายพอร์ตและแบบเข้าก่อนออกก่อน จุดเปลี่ยนที่ล่าช้าเช่นนี้เป็นการอธิบายได้บางส่วนว่าทำไม RAM แบบหลายพอร์ตส่วนใหญ่ในทุกวันนี้จึงเป็นหน่วยความจำแบบ 5V และมีอินเทอร์เฟซเป็นแบบอะซิงโครนัส

ในส่วนที่เหลือจะเกี่ยวกับอุปกรณ์ที่ RAM แบบหลายพอร์ตต้องทำงานด้วยชีพสำหรับการเข้า/ถอดรหัส (สำหรับ virtual-private-networking) และ DSP อย่างเช่น สาย 24 บิตของ Texas Instrument (www.ti.com) จะประกอบด้วยบัสแบบอะซิงโครนัส ทั้งนี้ RAM แบบหลายพอร์ตที่เป็นอะซิงโครนัสมีเวลาการเข้าถึงที่ 12 nsec เมื่อใช้กับ semaphore, arbitration และการสนับสนุนการทำงานแบบ master/slave สำหรับคอนฟิกูเรชันแบบหลายโพรเซสเซอร์ อินเทอร์เน็ตแบบซิงโครนัสมีความเป็นต่ออุปกรณ์ดังกล่าวเนื่องจากตรรกะในการเชื่อมต่อที่อยู่ภายในเป็น rising clock edge หรือไม่กี่เป็น ASIC แบบ multicore แต่ด้วยวิธีสังเคราะห์แบบภายนอกกับอีกหนึ่งบิตของหน่วยตรรกะ เราสามารถสร้างอินเทอร์เน็ตแบบซิงโครนัสบน RAM แบบอะซิงโครนัสได้

RAM แบบหลายพอร์ต ซิงโครนัสในปัจจุบันทำงานที่ 100 เมกะเฮิร์ตซ์ ร่วมกับบัสที่มีความกว้างบิต (parity) ที่ 32 หรือ 36 บิต และมีตัวนับเวลาที่ให้การรับส่ง burst ง่ายขึ้น นอกจากนี้ ยังมี latency ที่ต่ำลงแบบควิควิตในการ burst ต่ำลง ทำเวอร์ชันได้



รูปที่ 1 : bus funnel เป็นอีกทางเลือกหนึ่งในการทำให้ไบต์มีความยืดหยุ่นในเรื่องความกว้างของบัส

อย่างต่อเนื่อง และหน่วยความจำบางตัวยังให้เราเลือกได้ระหว่างเอาที่พูดแบบ registered หรือ pipelined ภายในอุปกรณ์ตัวเดียวกัน โดยให้หลักการแบบพอร์ตต่อพอร์ต ไบต์แบบทวีคูณช่วยให้สัทที่มีขนาดต่างกันมีความเหมาะสมในการใช้งาน และทำให้พอร์ตดังกล่าวสามารถควบคุมการทำงานที่ความถี่ต่างกัน

Flex36 ตัวใหม่ของ Cypress เสนอการทำงานแบบ “bus-funnel” ที่มีพเพอร์ที่จำเป็นในการแปลพอร์ตภายในของบัส 36 บิตไปเป็นแบบภายนอก 16/18 บิต (รูปที่ 1) RAM แบบหลายพอร์ตส่วนใหญ่เป็นแบบ 2 พอร์ต แต่ IDT ก็ขายแบบ 4 พอร์ต 8-32 กิโลบิต นอกจากนี้ IDT ยังเสนอหน่วยความจำที่มีการเข้าถึงแบบอนุกรม 64-128 กิโลบิต และ RAM ที่ด้านหนึ่งเป็นพอร์ตซิงโครนัสเหมือนแบบเข้าก่อนออกก่อน และอีกด้านหนึ่งเป็นพอร์ตอะซิงโครนัสที่มีการเข้าถึงแบบสุ่ม

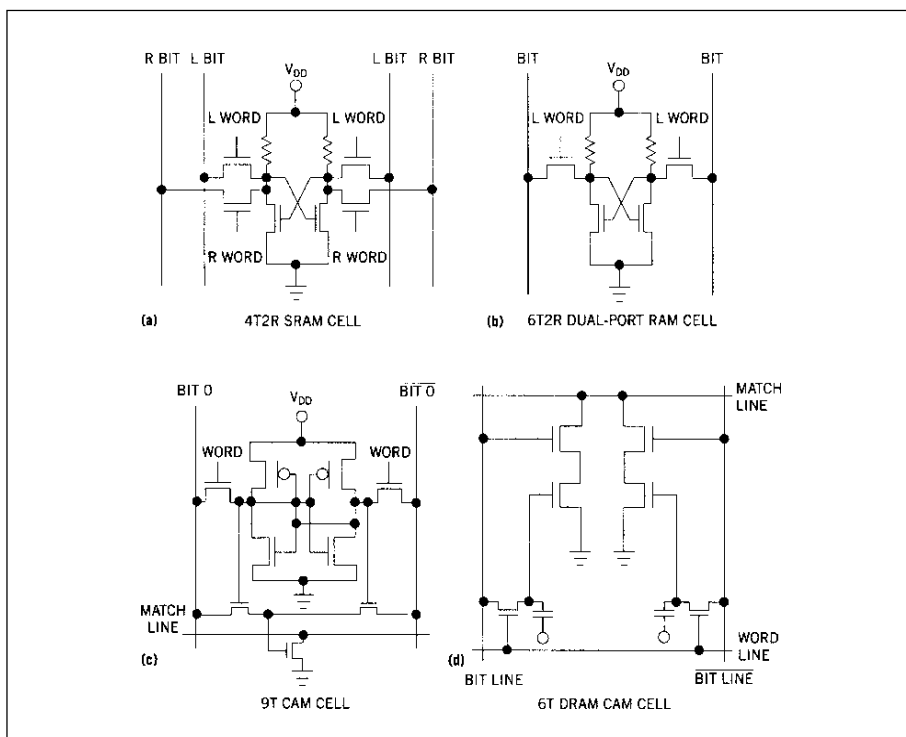
ที่ผ่านมา ในเรื่องของฟังก์ชันการทำงาน เวลา รูปลักษณะ และพินเอาท์ ระหว่าง Cypress กับ IDT มีความสามารถในการใช้งานร่วมกันได้เป็นอย่างดีเสมอมา (ดูหัวข้อ “การกำหนดมาตรฐาน : การให้แบบผสมปนเป”) แต่แล้ว ความสามารถในการใช้งานร่วมกันได้ดังกล่าวก็หมดไปด้วยการออกผลิตภัณฑ์ล่าสุดแบบ x8/x9 และ x16/x18 บิตความจุสูงจากทั้งสอง บริษัท Cypress ใช้ TQFP แบบ 100-pin สำหรับเวอร์ชัน 5 และ 3.3V

ส่วน IDT ใช้ TQFP แบบ 128-pin สำหรับ 3.3V อย่างไรก็ตาม ความสามารถในการใช้งานร่วมกันได้ในเรื่องพินเอาท์และรูปลักษณะยังคงมีอยู่ที่ความกว้างบัส x36 บิต

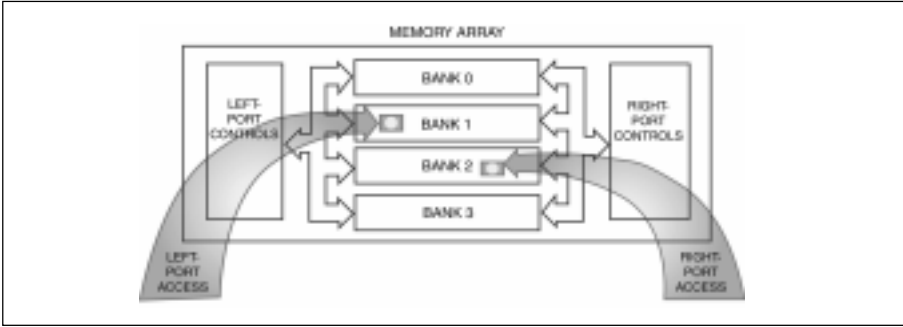
IDT อ้างว่า TQFP ที่มีขนาดใหญ่ขึ้นทำให้บริษัทสามารถเพิ่ม pin ที่ให้กำลังไฟและสำหรับต่อลงดินที่จำเป็นสำหรับเวอร์ชัน 125 และ 133 เมกะเฮิร์ตซ์ที่กำลังจะออกตามมา Cypress เปิดเผยเคล็ดลับว่าด้วยขนาดใหญ่และการใช้กำลังไฟสูงจะเป็นการบังคับให้ IDT

ต้องหันไปใช้ TQFP ที่มีขนาดใหญ่ยิ่งขึ้นไปอีก ความเร็วเป้าหมายดังกล่าวในขนาดของบริษัททั้งสองเป็น “ตัวเลขมหัศจรรย์” กล่าวคือ 125 เมกะเฮิร์ตซ์เท่ากับหนึ่งในแปดของอัตราบิตของกิกะบิตต่อวินาที และ 133 เมกะเฮิร์ตซ์เท่ากับสองเท่าของความเร็วบัส PCI 66-เมกะเฮิร์ตซ์ที่ในปัจจุบันใช้กันอยู่ในอุปกรณ์สื่อสารทั่วไป

เป้าหมายประสิทธิภาพดังกล่าวเป็นค่าที่ขอบของอัตรา toggle ที่คุณจะได้รับจาก TTL แรงดันต่ำ แต่ในขนาดที่ไม่ไกลเกินบริษัททั้งหลายก็คงจะก้าวไปสู่ HSTL (high-speed transceiver logic) และ SSTL (series-stub-terminated-transceiver logic) แม้ว่าในขณะนี้รูปแบบสถาปัตยกรรมพื้นฐานก็ยังคงอยู่ในขั้นตอนของการวางแผนก็ตาม สถาปัตยกรรมดังกล่าวประกอบด้วย RAM แบบพอร์ตคู่ โดยที่พอร์ตหนึ่งใช้สำหรับบัสแบบ zero-latency สำหรับอินเตอร์เฟซ MP และอีกพอร์ตหนึ่งสำหรับการถ่ายโอน DDR (double-data-rate) ให้กับ DSP ส่วนในชุดของ RAM แบบหลายพอร์ตยังประกอบด้วย DIP,



รูปที่ 2 : เซลล์ SRAM มาตรฐาน 4 ทรานซิสเตอร์ 2 รีซิสเตอร์ หรือ แบบ 6 ทรานซิสเตอร์ (a) มีขนาดเล็กกว่าและซับซ้อนน้อยกว่าเซลล์ที่ RAM แบบพอร์ตคู่ (b) และ CAM (c) ใช้ CAM แบบ DRAM-based (d) มีอีกวิธีหนึ่งที่มีศักยภาพในการลดต้นทุน



รูปที่ 3 : หน่วยความจำแบบพอร์ตคู่ bank-switchable มีหน้าที่การทำงานเพิ่มมากขึ้น แต่ราคาต่ำกว่าแบบพอร์ตคู่อย่างแท้จริง

PLCC, PQFP และ BGA ให้เลือกอีกด้วย

การลดต้นทุน

Cypress ได้ก้าวจาก RAM แบบพอร์ตคู่ความจุสูงไปสู่โครงสร้างแบบ 8 ทรานซิสเตอร์ (8T) บิตอย่างจริงจัง ในขณะที่ IDT ยังคงใช้ 6 ทรานซิสเตอร์ 2 รีซิสเตอร์ (6T2R) อยู่ โดยทั่วไปแล้ว สำหรับแอเรียหน่วยความจำที่มีความจุเท่ากัน วิธีการ 6T2R จะให้ตายมีขนาดเล็กกว่า แต่ความแตกต่างนี้จะหมดไปเมื่อกระบวนการเข้าใกล้ 0.2 μm โครงสร้างแบบ 8T นั้นใช้ไฟน้อยกว่าจึงเหมาะกับงานที่ต้องการเพิ่มความเชื่อถือได้ของระบบโดยการขจัดพัฒนาความร้อนออกไป อย่างไรก็ตาม โครงสร้างแบบพอร์ตคู่ทั้งสองก็ยังคงมีขนาดใหญ่กว่าเซลล์แบบ 6 ทรานซิสเตอร์ และ 4 ทรานซิสเตอร์ 2 รีซิสเตอร์ (4T2R) ที่ใช้กับ SRAM ซึ่งไม่มีความต้องการในเรื่องการอ่านจากหลายแหล่งและการเข้าถึงเพื่อเขียน (รูปที่ 2)

โมโตโรลาใช้เซลล์ 4T2R เป็นพื้นฐานของสายการผลิตพอร์ตคู่ NetRAM แบบ 1 และ 4 เมกะบิตและ I/O บัสแยกต่างหากมีบัสอ่านและเขียนข้อมูลที่ใช้บัสแอดเดรสเดียวกัน โมโตโรลาผลักดันให้ NetRAM 1 เมกะบิต I/O คู่เป็นตัวเลือกแรกของ RAM แบบหลายพอร์ต ส่วนเวอร์ชัน 4 เมกะบิตจะตามมา นอกจากนี้ ชิ้นส่วนต่างๆ ยังทำงานช้ากว่าหน่วยความจำที่เร็วที่สุดของ Cypress และ IDT แต่ถ้ามองในแง่ของราคาแล้ว NetRAM นั้นถือว่าคุ้มค่าและมีแนวโน้มว่าราคา-

จะต่ำกว่า สำหรับโลกภายนอก NetRAM ก็เหมือน RAM มาตรฐานซึ่งโครนัสแบบพอร์ตคู่ แอดเดรส ข้อมูลและสัญญาณควบคุมจะผูกติดกับ rising clock edge อย่างไรก็ตาม หน่วยความจำที่อยู่ภายในจะอ่านหรือเขียนข้อมูลของพอร์ตหนึ่งบน rising clock edge และข้อมูลของอีกพอร์ตหนึ่งจะเขียนบน fall clock edge โมโตโรลารายงานว่า ภายในต้นปีหน้า เขาหวังว่าจะสามารถนำเสนอสินค้าตัวอย่างที่ไม่ต้องพึ่งพา นาฬิกาเวลา (clock) แบบพอร์ตต่อพอร์ต แต่ internal data phase-shifting ที่ช่วยให้โครงสร้างง่ายขึ้นอาจช่วยให้ NetRAM มีความเร็วต่ำกว่า 8T หรือ 6T2R อยู่ 1 หรือ 2 ระดับเมื่อเป็นแบบพอร์ตคู่เหมือนกัน

IDT มีสายการผลิตที่มีต้นทุนต่ำกว่า นั่นคือ หน่วยความจำพอร์ตคู่แบบ bank-switchable (รูปที่ 3) นอกจากนี้ยังได้ทำให้โครงสร้างเซลล์เรียบง่ายขึ้นโดย IDT ตัดหน่วยตรรกะที่เป็น port-contention ออกไปซึ่งมีอยู่ในแบบหลายพอร์ตที่แท้จริง (หน่วยตรรกะนี้ช่วยจัดการกรณีทั้งสองพอร์ตพยายามอ่านและเขียน หรือเขียนลงในตำแหน่งแอดเดรสเดียวกัน) เมื่อเป็นเช่นนี้อุปกรณ์ซึ่งโครนัส 16 กิโลบิต x16 บิต และ 32 กิโลบิต x16 บิต ในเวอร์ชัน 5 และ 3.3V จึงแบ่งออกเป็น 4 bank พอร์ตจะเข้าควบคุมแยกเป็นแต่ละ bank การจัดการ bank อยู่ในรูปของ semaphore ของซอฟต์แวร์ หรือสัญญาณ bank-select ของฮาร์ดแวร์ นอกจากนี้ อินเทอร์เฟซและเม็บบอกขั้วยังสนับสนุนการสื่อสารระหว่างพอร์ต-

ด้วย

สำหรับความจุที่ต่ำกว่านี้ คุณควรพิจารณาใช้ RAM แบบหลายพอร์ตลงบน ASIC หรือ PLD (ดูหัวข้อ “รวมไว้ด้วยกัน”) ไม่ว่าจะประสิทธิภาพการทำงานที่สูงกว่า ใช้ไฟน้อยกว่า ใช้พื้นที่บนบอร์ดน้อยกว่า และไม่มีค่าใช้จ่ายในเรื่องบรรจุภัณฑ์ ล้วนเป็นข้อดีของวิธีการนี้ สิ่งที่ไม่เหมือนกับ DRAM และ SRAM คือ กระบวนการทำงานใช้งานไม่ได้กับหน่วยตรรกะมาตรฐาน ดังนั้น คุณจึงไม่จำเป็นต้องวุ่นวายกับการหาแหล่งที่ต้องไปหาซื้อของเพิ่มหรือต้องยอมเสียความเร็วของหน่วยตรรกะเพื่อแลกมา อย่างไรก็ตาม การประหยัดเงินและประสิทธิภาพที่จะได้มาอย่างแท้จริงนั้นขึ้นอยู่กับวิธีที่ผู้ขายหน่วยตรรกะนั้นกระทำกับ RAM บนชิป

ในกรณีที่ RAM แบบหลายพอร์ตเป็นแบบ on หรือ off-ramp บนเน็ตเวิร์ก CAM จะทำหน้าที่เป็นตำรวจจราจรและผู้นำทางให้ให้คิดว่า CAM เป็นกลไกในการค้นหาตัวหนึ่งประเภทเดียวกับ “silicon Yahoo” แทนที่คุณจะให้แอดเดรสกับ CAM แล้ว CAM ให้ข้อมูลกลับมา จะกลายเป็นว่า คุณให้ข้อมูลที่ คุณกำลังค้นหาแก่ CAM แล้ว CAM จะส่งค่าแอดเดรสและข้อมูลอื่นที่เกี่ยวข้องที่พบมาตรงกันกลับมา

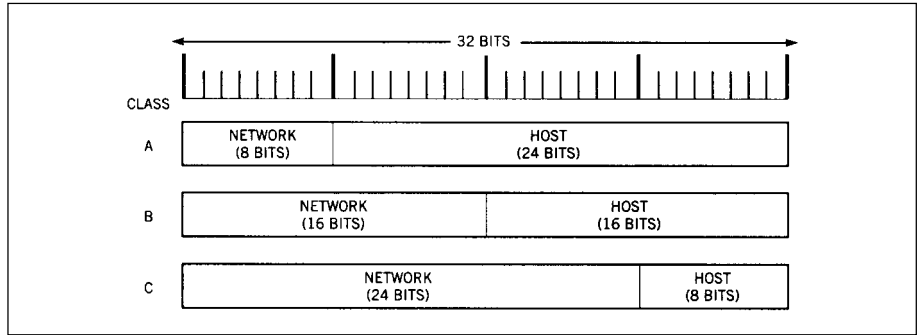
CAM รุ่นแรกสุดมีการทำงานอย่างง่าย โดยเริ่มมีตั้งแต่ทศวรรษ 1990 ในตระกูล LANCAM โดย Music Semiconductor ซึ่งเป็นผู้นำในวงการอุตสาหกรรมการผลิต CAM ในปัจจุบัน ข้อมูลที่จะนำไปเปรียบ เทียบ คำสั่งการเปรียบเทียบ และผลลัพธ์ที่ได้ ทั้งหมดนี้จะวิ่งผ่านบัสเดี่ยวที่มีขาแยกออกจากกันสำหรับการควบคุม และฟังก์ชัน match-flag ความจุแอดเดรสของ CAM ขยายได้ถึงเพียงแค่ 10 กิโลบิต และมี global mask register เพียงตัวเดียวที่จะใช้ในกรณีที่จะไม่คำนึงถึงค่าของบิตใดบิตหนึ่งในระหว่างการหาผลลัพธ์ เวลาในการค้นหาที่เข้าใกล้ 100 nsec ของหน่วยความจำแบบนี้เพียงพอสำหรับอัตราข้อมูลและความสามารถในการรับงานของเน็ตเวิร์กในสมัยนั้น

ได้พบว่ามีการใช้ CAM กันอย่างกว้างขวางในเราเตอร์เลเยอร์ 2 โดยในช่วงก่อนปี 1993 มีการจองไอพีแอดเดรสไว้ 3 คลาส (รูปที่ 4) ดังนั้นจำนวนของ mask register อาจมีน้อยแต่ยังคงทำงานค้นหาได้รวดเร็วและมีโอเวอร์เฮดในการทำงานน้อยที่สุด เมื่อผู้ดูแลเน็ตเวิร์กเพิ่มโหนดเข้าไปในเน็ตเวิร์กซอฟต์แวร์ของเราเตอร์จะปรับปรุงตารางไอพีแอดเดรสและพอร์ตที่ใช้งานของ CAM และเมื่อแพ็กเก็ตเดินทางมาพร้อมด้วยแอดเดรสของจุดหมายปลายทาง CAM จะให้ค่าของพอร์ตออกมา

กาลเวลาล่วงเลยไป เราเตอร์ในปัจจุบันสามารถทำงานฟังก์ชันของเลเยอร์ 3 และ 4 ได้ เช่น การแปลความแอดเดรสของเน็ตเวิร์ก (network-address-translation หรือ NAT), ไฟร์วอลล์, URL, applet blocking และโปรโตคอลด้านความปลอดภัยอื่นๆ นอกจากนี้ยังสามารถแปลโปรโตคอลได้ด้วย : คุณภาพของการบริการ และประเภทข้อมูลที่นอกเหนือจากนี้ เช่น telephony และสายสัญญาณเสียงและภาพ ความรับผิดชอบที่เพิ่มขึ้น หมายถึง แอเรียของ CAM มีประเภทของข้อมูลเพิ่มขึ้นซึ่งทำให้ขนาดแอเรียและจำนวน mask register เพิ่มมากขึ้นด้วย ซึ่งก็หมายความว่า ประสิทธิภาพในการค้นหาจะต้องเร็วขึ้น เนื่องจากอัลกอริทึมในการหาเส้นทางเข้าถึง CAM ทำได้หลายครั้งสำหรับแต่ละแพ็กเก็ต

ผู้ชาย Binary CAM ในปัจจุบันได้นำเสนอตัวอย่างชิปที่มีความจุ 1 เมกะบิตหรือมากกว่า และมีเวลาการค้นหาอย่างรวดเร็วที่อัตรานาฬิกา 66 เมกะเฮิร์ตซ์ แม้ว่าข้อดีเรื่องประสิทธิภาพการทำงาน การใช้ไฟ ต้นทุน และพื้นบนบอร์ดมักจะเป็นของหน่วยความจำแบบชิปเดี่ยวก็ตาม แต่การขยายในทางลึกแบบ minimal หรือ no-glue ก็สนับสนุนการทำงาน of หน่วยความจำแบบหลายชิป

นอกจากนี้ CAM ยังทำงานร่วมกับการปรับปรุงแอเรียโดยอัตโนมัติในรูปแบบต่างๆ อีกด้วย ก่อนหน้านี้ การเพิ่มข้อมูลให้กับ CAM คุณต้องหาตำแหน่งที่ยังไม่ถูกใช้



รูปที่ 4 : การจองไอพีแอดเดรสได้หายไปพร้อมกับการมาของวิธีการ classless interdomain routing (CIDR)

ภายในแอเรียเสียก่อน (ข้อมูลที่เก็บไว้จะประกอบด้วยบิตที่ยังใช้งานได้อยู่และที่ใช้ไม่ได้แล้ว) จากนั้นจึงเก็บข้อมูลลงในตำแหน่งนั้น แต่สถาปัตยกรรม CAM รุ่นใหม่บางรุ่นเก็บข้อมูลให้โดยอัตโนมัติ เมื่อคุณใส่คำสั่ง Learn ; รวมทั้งรู้จักคำสั่ง Unlearn ด้วย ความสามารถนี้ช่วยลดเวลาที่ต้องใช้ในการค้นหาตำแหน่งว่าง คำสั่ง Learn ของ CAM บางรุ่นยังสามารถบอกถึงตำแหน่งข้อมูลในรอบหนึ่งได้ด้วย

ถ้าแอเรียของ CAM เต็ม CAM จะละทิ้งข้อมูลเก่าแล้วแทนที่ด้วยข้อมูลใหม่โดยอัตโนมัติหรือไม่? ความสามารถของตัวที่ทำหน้าที่เหมือน cache-controller อาจเป็นสิ่งที่มีความสำคัญสำหรับบางกรณี แต่มีราคาแพงในการนำมาใช้งานจริง ดังนั้น ผู้ผลิต CAM จึงไม่เสนอสิ่งนี้ในปัจจุบัน และเนื่องจาก คำสั่ง Learn มีราคาแพงทั้งหน่วยตรรกะบนชิปและเวลาในการทดสอบในระหว่างผลิต กรณีที่ต้องทำให้ต้นทุนต่ำลงจึงมักจะไม่ใช่คำสั่งนี้ลงไปใน CAM จะเตือนหน่วยตรรกะของระบบถึงสถานะทั้งหมดหรือเกือบทั้งหมด (ตามเกณฑ์ที่ผู้ใช้กำหนดไว้) ผ่านทางรีจิสเตอร์บอกสถานะ และ/หรือ output flag

ถ้าคุณคิดว่าโครงสร้างเซลล์ 8T และ 6T2R ของ RAM แบบพอร์ตคู่ซับซ้อนและแพงกว่าของ SRAM มาตรฐาน ก็ให้รอจนกว่าจะได้พบกับ binary CAM ที่มี 9 หรือ 10 ทรานซิสเตอร์ (รูปที่ 2c) CAM ใช้ทรานซิสเตอร์ที่เพิ่มขึ้นในการเปรียบเทียบ XNOR ผลที่ได้จาก XNOR อยู่ในรูปของ wired-OR ที่ใช้สร้างบิตที่ตรงกัน และ CAM

บางรุ่นยังให้ผลลัพธ์แบบ multi match ด้วย บิตของ CAM เป็นสิ่งที่มีราคาแพง ดังนั้นจึงถูกนำมาใช้อย่างจำกัดสำหรับฟังก์ชันที่เสริมเข้ามา ยิ่งไปกว่านั้น ผลลัพธ์ที่ได้จาก CAM ยังกลายเป็นแอดเดรสของดัชนีสำหรับ SRAM หรือ DRAM ราคาถูกที่ใช้ในการเก็บข้อมูลเพิ่มเติม บัสนี้ของตัวเปรียบเทียบ คำสั่งผลลัพธ์ และการควบคุมมักจะแยกออกจากกัน ใน CAM รุ่นใหม่ ในราคาที่ต่ำลงมา ความกว้างของบัสนี้จะน้อยกว่าความกว้างของข้อมูลภายใน ในกรณีเช่นนี้ รอบของบัสนี้หลายตัวจะอ่านและเขียนการเรียงลำดับของข้อมูลทั้งหมด

Mask

CIDR (Classless interdomain routing) และ NAT ของไอพีแอดเดรสแบบ nonroutable บน LAN ช่วยยืดอายุของไอพี 32 บิต เวอร์ชัน 4 (IPV4) ด้วยการทำให้ไม่มีขอบเขตคลาสที่ตายตัว CIDR มีประสิทธิภาพมากกว่าในการใช้กับเนื้อที่ของแอดเดรส IPV4 อย่างไรก็ตาม วิธีการนี้เพิ่มภาระในการค้นหาให้กับ CAM และหน่วยตรรกะการควบคุม เพราะแต่ละบิตของแอดเดรสมีนัยสำคัญและ global mask register เพียงสองสามตัวก็ดูเหมือนจะไม่เพียงพอสำหรับงานนี้ CIDR จึงใช้เทคนิค “longest-prefix-match” แทน

มาเข้าสู่เรื่อง ternary CAM กัน ในหน่วยความจำแบบนั้นแต่ละบิตข้อมูลไม่ได้ประกอบด้วยเพียงแค่เซลล์ที่เก็บค่าของบิตว่าเป็น 0 หรือ 1 เท่านั้น แต่ยังเก็บ mask ที่ใช้

ในการบอกสถานะว่ายังใช้งานได้อยู่หรือไม่อีกด้วย วิธีนี้จะได้อัตราส่วนแอตเตอร์สที่จัดเก็บมากที่สุดสำหรับขนาดแอตเตอร์สของ CAM ที่กำหนดและทำให้วงจรการค้นหาซับซ้อนยิ่งขึ้นไปอีก แต่ ternary CAM ได้ปรับปรุงข้อบกพร่องเหล่านี้แล้ว ขอบคุณกระบวนการผลิต 0.25 μm ที่ทำให้ผู้ขายประกาศตัวหน่วยความจำแบบ 1 เมกะบิตที่มีประสิทธิภาพในการค้นหาที่ 64 บิต 66 เมกะบิตต่อวินาที ยิ่งไปกว่านั้น CAM และหน่วยตรรกะอันซับซ้อนที่ใช้ในการควบคุมการทำงานเหล่านี้กำลังจะออกมาในไม่ช้าแล้ว (ดูหัวข้อ “หน่วยความจำ หน่วยตรรกะ หรืออย่างละนิดอย่างละหน่อย”)

นอกจาก RAM แบบหลายพอร์ตแล้ว CAM ราคาถูกก็เป็นอีกทางเลือกหนึ่ง CAM ขนาด 256 กิโลบิต และ 1 เมกะบิตเป็น SRAM มาตรฐานสามารถใช้งานร่วมกับหน่วยตรรกะบนชิปที่ทำงานอัลกอริธึมแฮชซึ่งได้โดยเริ่มต้นที่จุดกลางของแอตเตอร์ส แล้วค้นหาข้อมูลที่ต้องการไปจนกระทั่งหมดแอตเตอร์ส หน่วยความจำแบบนี้มีสมมติฐานว่าข้อมูลต้องเรียงจากน้อยไปหามากไปตามตำแหน่งแอตเตอร์สที่เรียงต่อเนื่องกัน ดังนั้น การปรับปรุงข้อมูลแต่ละครั้งต้องใช้เวลาในการเรียงลำดับใหม่

เวลาในการค้นหาของวิธีแฮชซึ่งหรือที่ได้จากแฮชซึ่งยังคงเป็นแบบ nondeterministic เนื่องจากเวลาที่ใช้ในการค้นหาข้อมูลขึ้นอยู่กับขั้นตอนการค้นหาแบบรีเคอร์ซีฟที่ทำอย่างต่อเนื่อง ซึ่งหน่วยตรรกะจะต้องประมวลผลจนกระทั่งทราบได้ว่ามีหรือไม่มีข้อมูลที่ค้นหา อย่างไรก็ตาม ถ้างานของคุณต้องการประสิทธิภาพพอประมาณที่มีเวลาในการค้นหาอย่างช้าที่สุด 200 nsec และปรับปรุงตารางไม่บ่อยนัก หน่วยความจำเหล่านี้อาจมีวิธีประหยัดได้เมื่อนำไปใช้งานกับฟังก์ชันของ CAM ที่มีอยู่มากมาย เช่น ในแอปพลิเคชันที่ทำงานในโหมดรับส่งข้อมูลแบบอะซิงโครนัส นอกจากนี้ Kawasaki LSI และ UPMC Microelectronics ยังจำหน่าย CAM ที่มีหน่วยตรรกะแบบแฮชซึ่งในค้นหา longest prefix ซึ่งต่อเข้ากับแอตเตอร์สของ SRAM และ DRAM ทั้งแบบแยกเดี่ยวหรือรวมไว้ด้วยกัน

ก็ได้
 ยิ่งไปกว่านั้น คงจะมีอุปสรรคในการลดต้นทุนอีกในเร็ว ๆ นี้ Mosaid Technology ผู้นำด้าน DRAM แบบรวมไว้ด้วยกัน หวังที่จะเริ่มทำตัวอย่าง ternary CAM แบบ DRAM-based ภายในสิ้นปีนี้ แทนที่จะใช้เซลล์ ternary CAM แบบ SRAM 17 ทรานซิสเตอร์ Mosaid จะใช้โครงสร้างเซลล์แบบ 6T DRAM (รูปที่ 2d) Mosaid อ้างว่าหลังจากที่ initial pipeline latency ทำได้เหมือนเวลาในการเข้าถึงแบบสุ่มของ DRAM มาตรฐาน CAM แบบ DRAM ของเขาจะใช้เวลาการค้นหาค่าที่ 66 ล้านครั้งต่อวินาที

ระบบของ Mosaid สามารถคืนสภาพ CAM ให้เหมือนเดิมได้เมื่อระบบไม่ได้ใช้ CAM หรืออีกทางหนึ่ง CAM สามารถคืนสภาพตัวเองและบอกเตือนถึงสถานะตัวเองให้กับระบบผ่านทาง flag ของฮาร์ดแวร์ ในเรื่องการเพิ่มแบนด์วิดท์ เจ้าหน้าที่ของ Mosaid กล่าวว่า เทคนิค DDR ที่บริษัทเป็นผู้ริเริ่ม DRAM แบบ DDR และเป็นซิงโครนัส เป็นอีกวิธีการหนึ่งที่น่าสนใจ Mosaid ยังมีแผนที่จะสนับสนุน single-cycle learn-plus-match และขยายในทางลึกแบบ glueless

การกำหนดมาตรฐาน : การให้แบบผสมปนเป

หลังจากการประชุมของ Joint Electron Device Engineering Council (www.jedec.com) ที่ผ่านมา บริษัท NetLogic Microsystems ก็เริ่มจัดกลุ่มเพื่อกำหนดมาตรฐานอุตสาหกรรมให้กับ content-addressable memory (CAM) ในขณะที่อุตสาหกรรม CAM มีการแข่งขันกันและเปลี่ยนแปลงอย่างรวดเร็ว ผมจึงไม่แน่ใจว่าความพยายามนี้จะเป็ผลหรือไม่ ผมเห็นด้วยว่า การกำหนดมาตรฐานไม่เพียงแต่เพิ่มจำนวนผลิตภัณฑ์ที่จะใช้งานร่วมกันได้แต่ยังเป็นแรงผลักดันให้ราคาต่ำลงด้วย

แต่โชคไม่เข้าข้าง กระบวนการกำหนดมาตรฐานของคณะกรรมการเป็นไปอย่างเชื่องช้าและต่อต้านอย่างก้าวอ้นรวดเร็วของธุรกิจด้าน

เครือข่ายเน็ตเวิร์ก นอกจากนี้ การกำหนดมาตรฐานยังบอกเป็นนัยว่าไม่มีการทำงานที่เป็นแอปพลิเคชันหรือแบบที่ลูกค้ากำหนดรูปแบบ ทั้งนี้ ผู้ขาย CAM หลายรายรู้ดีว่าธุรกิจของพวกเขาส่วนใหญ่มีรายได้จากอุปกรณ์ที่มีรูปแบบตามที่ถูกชำระ

ดังนั้น สำหรับผู้ขายแล้ว การกำหนดมาตรฐานจึงเป็นการให้แบบผสมปนเป หรืออีกนัยหนึ่ง พวกเขาโดยเฉพาอย่างยิ่งเขาเป็นผู้นำด้านตลาด ไม่มีใครกระตือรือร้นกับแนวคิดที่จะลดความเป็นปัจเจกของอุปกรณ์ซึ่งเป็นสิ่งที่ทำให้ราคามีความแตกต่างกันมากขึ้น ในอีกแง่หนึ่ง พวกเขาต้องการที่จะขยายฐานแอปพลิเคชันและลูกค้า CAM ให้มีการใช้งานฟังก์ชัน silicon-search-engine อื่นๆ ด้วย เช่น การแปลแคช บัฟเฟอร์แบบ look-aside การเข้ารหัสและย่อข้อมูล การรับรูปแบบภาพและเสียง รวมถึงการเจาะลึกฐานข้อมูล

ผู้ขาย CAM ยอมรับว่า ความซับซ้อนและธรรมชาติการเป็นปัจเจกของหน่วยความจำของพวกเขาทำให้อุปกรณ์เหล่านี้ถูกบังคับให้เข้าใจและปฏิบัติในสิ่งที่จำกัดความสำเร็จของมันเอง การขยายแอปพลิเคชันจะเกิดขึ้นก็ต่อเมื่อแอปพลิเคชันใหม่สามารถใช้อุปกรณ์ที่มีหน้าที่การทำงานที่มีการปรับให้ใช้งานเน็ตเวิร์กได้ดีในช่วงเวลาหลายปีที่ผ่านมา นอกจากนี้ผู้ผลิต RAM แบบหลายพอร์ตยังมุ่งเป้าไปที่แอปพลิเคชันนอกเหนือจากเน็ตเวิร์ก เช่น คอนโทรลเลอร์แบบ redundant-array-of-inexpensive-disk การกำหนดมาตรฐานอย่างเป็นทางการและราคาที่ต่ำลงร่วมด้วยการปรับปรุงประสิทธิภาพอื่นๆ อาจช่วยให้แอปพลิเคชันเหล่านี้ได้เริ่มต้นตัวขึ้น

หน่วยความจำ หน่วยตรรกะ หรืออย่างละนิดละหน่อย

ช่วงเวลาที่ผ่านไป ผู้ผลิตได้เพิ่มความฉลาดด้านตรรกะให้กับ CAM ทั้งในรูปแบบชิปแยกต่างหากหรือใส่รวมเข้าไว้ในแอตเตอร์สของหน่วยความจำ Music Semiconductor เป็นผู้มาในเรื่องนี้ โดยสะท้อนให้เห็นจุดเปลี่ยนของตัวเองจาก “บริษัทด้าน CAM” ไปเป็น

“บริษัทเกี่ยวกับตัวเร่งแพ็กเก็ต” Music ขายชิปที่เป็นคู่กันซึ่งใช้สำหรับ LANCAM ของบริษัท ซึ่งรวมถึงอินเตอร์เฟซแบบ Token Ring อินเตอร์เฟซแบบ Fibre Distributed และตัวกรองอีเธอร์เน็ตทั้งแบบ 10 และ 10/100 เมกะบิต

Music ยังได้เสนอสินค้าตระกูล coprocessor แบบ CAM-based-routing ด้วย MUAA มี I/O บัสแบบซิงโครนัส 32 บิต และประกอบด้วย 2048 entry แบบ 80 บิต (พร้อมด้วยเวอร์ชัน 4096 และ 8192 entry) MUAA สนับสนุนการทำงานกับอีเธอร์เน็ต 100 เมกะบิตถึง 48 พอร์ตและ 4 พอร์ตสำหรับอีเธอร์เน็ตขนาดกิกะบิต หรือการค้นหาข้อมูลเลเยอร์ 4 ที่ 12.5 ล้านครั้งต่อวินาที คุณสามารถโปรแกรม CAM กับ RAM ที่เกี่ยวข้องกันโดยแบ่งอัตราส่วนได้ตั้งแต่ 32:48 ไปจนถึง 80:0

MUAC เป็น coprocessor ที่มี I/O บัสแบบซิงโครนัส 32 บิต ในขณะที่ความกว้างของข้อมูลภายในเป็น 64 บิต ในปัจจุบันบริษัทได้เสนอเวอร์ชันที่เป็น 4096 และ 8192 entry MUAC สนับสนุนการทำงานได้มากถึง 42 อีเธอร์เน็ตพอร์ต 100 เมกะบิต, 78 OC-3c พอร์ต, 19 OC-12 พอร์ต หรือ 28.5 แพ็กเก็ตต่อวินาทีของ classless interdomain routing (CIDR) เลเยอร์ 3 โอพีเวอร์ชัน 4 (IPV4) MUAC ประกอบด้วยคำสั่งในการเปรียบเทียบแบบ ternary 32 บิตและดัชนีที่ฟังก์ชันการค้นหาข้อมูลที่สร้างขึ้นสามารถเรียกใช้ RAM ภายนอกที่มีข้อมูลการจับคู่พอร์ตและข้อมูลอื่นๆ ที่เกี่ยวข้อง

Music อ้างว่า Epoch ของตนเป็นสวิทช์ที่รวมอยู่บนชิปและมีมัลติมีเดียพร้อมใช้และได้คุณภาพ รวมทั้งสามารถประมวลผลไอพีแอสติกเลเยอร์ 3 และ 4 Epoch สามารถรับส่งแพ็กเก็ตได้มากถึง 1.4 ล้านแพ็กเก็ตต่อวินาที และสนับสนุนการทำงานกับพอร์ตได้มากถึง 16 พอร์ตและสามารถจัดการ IPV4 (รวมถึง multicast) และ Internetwork Protocol Exchange ในฮาร์ดแวร์ของตัวเอง แอปพลิเคชันเป้าหมายประกอบด้วย มัลติเพล็กซ์แบบ digital-subscriber-line-access, เซิร์ฟเวอร์แบบเข้าถึงระยะไกล, สวิทช์และเราเตอร์แบบ workgroup, สวิทช์และเราเตอร์ของ WAN และสวิทช์หลักที่เป็น private-branch-exchange ของ LAN Epoch ต่อได้กับโปรเซสเซอร์และหน่วยความจำแบบภายนอกซึ่งรวมถึง MUAC CAM ด้วย

NetLogic Microsystem มุ่งความสนใจที่เรื่องการเพิ่มคุณค่าให้หน่วยตรรกะแล้วรวมหน่วยความจำเข้าไว้ด้วยกัน บริษัทจัดให้โปรเซสเซอร์ CIDR ของตนทำงานที่ 32, 768 entry ขนาด 40 บิต และอัตราการค้นหาข้อมูลที่ 50 หรือ 66 ล้านแพ็กเก็ตต่อวินาที พร้อมด้วยการปรับปรุงตารางที่ความเร็วนาฬิกาและ one-clock latency บน optional match flag สิ่งที่ไม่เหมือนกับอัลกอริธึม แฮชซึ่งคือ โปรเซสเซอร์ CIDR จัดการตารางนี้อยู่ภายในและไม่ต้องมีการการเรียงลำดับข้อมูลที่ต้องใช้ โปรเซสเซอร์ควบคุมบัสข้อมูลเข้า ประกอบด้วยแอดเดรสปลายทางขนาด 32 บิต ความยาวของส่วนนำหน้า 5 บิต ข้อมูลที่เกี่ยวข้อง 8 บิตและคำสั่ง 12 บิต ส่วนบัสข้อมูลออก

ประกอบด้วยแอดเดรสของส่วนนำหน้าที่ยาวที่สุดที่ตรงกัน 16 บิต ความยาวส่วนนำหน้า 5 บิต ข้อมูลที่เกี่ยวข้อง 8 บิต ชุด flag บอสถานะ 3 บิต และการควบคุม cascade ของชิปแบบหลายตัว 15 บิต NetLogic คาดว่าจะออกตัวอย่างโปรเซสเซอร์ CIDR ได้ในเดือนตุลาคม

รวมไว้ด้วยกัน

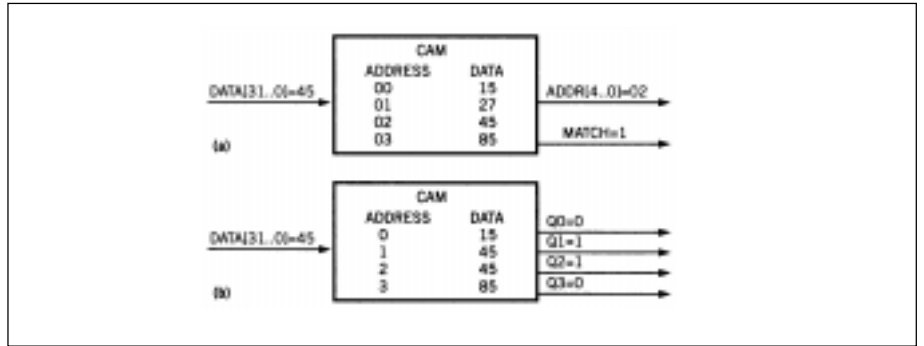
ในบางกรณี การรวมเอาหน่วยความจำไว้บน ASIC หรือ PLD ก็ดูจะดีเหมือนกัน แต่คำถามว่าในกรณีไหน ก็ตอบได้ยาก แอปพลิเคชันใดจะไรบ้างจากการนำมารวมไว้ด้วยกัน ถ้าเป็นหน่วยความจำแยกต่างหากจะมีราคาเท่าไร เทคโนโลยีหน่วยความจำเข้ากันได้ดีกับกระบวนการทำงานของหน่วยตรรกะมาตรฐานหรือไม่ ถ้าไม่ คุณต้องยอมเสียอะไรบางอย่างเพื่อเป็นการแลกกัน แล้วความจุหน่วยความจำเท่าใดที่คุณสามารถอัดไว้บนซิลิคอนชิ้นหนึ่งได้

จากข้อบกพร่องของการเปรียบเทียบดังกล่าว ชิปปจำนวนมากได้รวมเอา SRAM, ROM, EPROM, EEPROM, หน่วยความจำแบบแฟลช, บัฟเฟอร์แบบ FIFO และแม้แต่ DRAM มาตรฐานเข้าไว้ในชิปตัวเดียวกัน ขณะนี้ก็มีกรณีต้นตอที่จะรวมเอา RAM แบบหลายพอร์ต และ แอเรียของ CAM เข้าไว้ด้วย และจะกลายเป็นที่นิยมกันมากขึ้น RAM แบบหลายพอร์ตบน ASIC เป็นตัวอย่างที่ใช้กันอย่างแพร่หลายมากที่สุด ตัวคอมไพเลอร์หน่วยความจำของลูซิเอนต์ เทคโนโลยีสร้างส่วนหลัก (core) ที่มีพอร์ตอ่านและเขียนมากถึง

- ★ Content-addressable memory (CAM) และ RAM แบบหลายพอร์ตเป็นกุญแจไปสู่โครงสร้างพื้นฐานของเน็ตเวิร์กที่มีความรวดเร็วและเชื่อถือได้
- ★ RAM แบบหลายพอร์ตนับวันจะยิ่งมีความเป็นปัจเจกมากขึ้น เนื่องจากมันตัวเองให้ใช้แรงดันไฟฟ้าต่ำลง มีความจุเพิ่มขึ้น และมีความเร็วมากขึ้น
- ★ CAM ได้ผ่านการคิดค้นด้านสถาปัตยกรรมมาอย่างโชกโชนในช่วงทศวรรษที่ผ่านมา เพื่อให้สามารถอย่างก้าวต่อไปกับการเจริญเติบโตและการเปลี่ยนรูปไปของเน็ตเวิร์ก
- ★ ในขณะที่ชิปแบบแอสตอลอนกำลังเติบโต เวอร์ชันที่มีความจุต่ำกว่าก็ได้ย้ายไปอยู่บน ASIC และ PLD

อย่างละ 5 พอร์ตอยู่รวมกัน ความซับซ้อนของเซลล์จะเพิ่มมากขึ้นเมื่อจำนวนพอร์ตเพิ่มขึ้น เพราะว่าอุปกรณ์เหล่านี้มีโครงสร้างเป็นแบบหลายพอร์ตอย่างแท้จริงซึ่งไม่เหมือนกับ NetRAM ของโมโตโรลา การตรวจจับและหลีกเลี่ยงความล้มเหลวจากการเข้าใช้งานพอร์ตพร้อมกันเป็นหน้าที่ของหน่วยตรรกะภายนอก ซึ่งส่วนหลักดังกล่าวไม่มีการทำงานลักษณะนี้ Chip Express (www.chipexpress.com) ได้เสนอบล็อกที่รวมเอา RAM ไว้แล้วในสินค้า gate-away ของบริษัทผู้ขาย FPGA ทุกรายต่างก็เสนอ RAM แบบพอร์ตคู่ที่รวมไว้แล้วซึ่งมีอยู่บ้างอย่างน้อยก็บางส่วนของสายการผลิต ทั้งนี้ขึ้นกับวิธีการที่ผู้ขายนำแอเรียบนชิปไปใช้ อย่างไรก็ตาม จำนวนหน่วยความจำที่คุณสามารถนำไปรวมไว้และความเร็วในการทำงานจะแตกต่างกันไป แอเรียมีขนาดเล็กเป็นแบบกระจายการทำงานและใช้ตารางแบบ look-up หรือไม่ ถ้าใช่ แล้วมีความยืดหยุ่นสูง แต่ทำงานช้าเมื่อนำไปพ่วงต่อเข้าด้วยกันเพื่อให้ได้ความจุมากขึ้นหรือเปล่า หรือว่ามันมีขนาดใหญ่และมีประสิทธิภาพสูงแต่นำไปประยุกต์ใช้ได้น้อย แล้ว FPGA เลือกตรงกลางระหว่างนี้หรือรวมเอาความสุดขั้วทั้งสองแบบมารวมกัน ส่วนหลักของหน่วยความจำสนับสนุนการทำงานกับแอดเดรสแบบคู่และพอร์ตข้อมูลที่มีความถี่ต่างกันหรือผู้ขายจำลองความสามารถนี้ด้วยการใช้แอเรียหน่วยความจำเป็นสองเท่าและเพิ่มการควบคุมหน่วยตรรกะส่วนที่เพิ่มเข้าไป (คล้ายกับเทคนิคที่โมโตโรลาใช้ใน NetRAM)

นานมาแล้ว Lattice Semiconductor (www.latticesemi.com) พร้อมด้วย ispLSI6192DM เป็นผู้ผลิต CPLD เพียงรายเดียวที่มี RAM แบบพอร์ตคู่บนชิปมาเสนอ แต่ในปัจจุบัน Cypress Semiconductor ได้เข้าร่วมวงการด้วยผลิตภัณฑ์ในตระกูล Delta39k แต่ละบล็อกของหน่วยตรรกะขนาด 28 ไมโครเซล ประกอบด้วยแอเรีย SRAM พอร์ตเดี่ยวขนาด 8 กิโลบิต 2 แอเรีย โดยพอร์ตคู่ขนาด 4 กิโลบิตหรือ



รูป A : คุณสามารถขยายความกว้างและลึกของส่วนหลักของ CAM ขนาด 32x32 บิต ซึ่งสนับสนุนการทำงานกับภารกิจ match-output ทั้งแบบเข้ารหัส (a) และไม่เข้ารหัส (b)

บล็อก FIFO จะอยู่ที่ด้านนอกของแต่ละบล็อกของหน่วยตรรกะและเชื่อมต่อโดยตรงกับแขนแนลที่มีกร (เรท) วิ่งเส้นทางแบบลำดับชั้น (heirarchical) ตัวอย่างเช่น 39k100 ของผู้ขายรายหนึ่งมีหน่วยความจำขนาด 240 กิโลบิต บล็อกของหน่วยความจำประกอบด้วยหน่วยตรรกะแบบพอร์ตคู่ ซึ่งรวมถึงนาฬิกาของพอร์ตที่ทำงานโดยอิสระและสนับสนุนการทำงานที่จำกัด ด้วยเหตุนี้จึงไม่ใช่ PLD อเนกประสงค์ที่มีอยู่ นอกจากนี้ Cypress ยังได้เพิ่มการสนับสนุนการ cascade ของมัลติบล็อกละและเสียสละหน่วยตรรกะในการสร้าง flag ให้คุณใช้อย่างเต็มที่เมื่อคุณคอนฟิกบล็อกละหน่วยความจำเป็นบัฟเฟอร์ FIFO

แล้ว CAM ละ ผู้ผลิต ASIC หลายรายรวมถึง IBM (www.ibm.com), Kawasaki LSI, LSI Logic (www.lsilogic.com) และ ลูเซ็นด์เทคโนโลยีส์ได้เสนอ CAM ที่มีความยืดหยุ่น กรุณาอย่าตกใจถ้าในอนาคตอันใกล้ผู้ผลิต CAM บางรายในปัจจุบันจะเพิ่มความสามารถส่วนหลักให้กับผลิตภัณฑ์ของพวกเขา คอมไพลเลอร์ของลูเซ็นด์สามารถสร้าง CAM ขนาด 2x1 ถึง 1204x72 บิตโดยอัตโนมัติ

แต่ละ entry ของ CAM ยังมีบิตที่บอกการใช้งานได้อยู่ด้วย (a valid bit) ด้วยรีจิสเตอร์ในการค้นหาข้อมูลและฟังก์ชันการค้นหาข้อมูลที่ใช้งานไม่ได้แล้ว ทำให้คุณสามารถเคลียร์ส่วนใด ๆ ของ entry ใน 1 รอบ ซึ่งรวมถึงการเคลียร์ข้อมูลทั้งหมด ลูเซ็นด์ให้ข้อสังเกตว่าการค้นหาข้อมูลที่ตรงกันเป็นการทำงานที่ใช้กำลังไฟมากซึ่งจะกลายเป็นวิกฤตเมื่อ

คุณรวมเอาแอเรียของ CAM ไว้กับหน่วยตรรกะตัวอื่นที่มีการเปลี่ยนค่าอย่างรวดเร็ว เซลแบบไบนารี 10 ทรานซิสเตอร์ของลูเซ็นด์ลดการกินไฟให้น้อยที่สุดขณะอยู่ระหว่างเตรียมพร้อมใช้งาน (standby) Kawasaki LSI ได้อ้างว่าได้เสนอวิธีค้นหาข้อมูลแบบใช้ไฟน้อยโดยใช้เส้นการจับคู่แบบ NAND แทน NOR ที่ใช้กันทั่วไป

ท้ายที่สุดนี้ เราจะพิจารณาการรวม CAM เข้าบน PLD ในขณะนี้มีตัวอย่างเดียวคือ ตระกูล Apex 20KE ของ Altera แต่จะมีตัวเลือกออกมามากกว่านี้อ่างแน่นอน บล็อกของ Apex ternary-CAM ระดับต่ำสุดคือ แอเรียขนาด 32x32 บิต เวลาเข้าถึง 4 nsec ที่ Itera สร้างจากบล็อกของแอเรียที่รวมเข้ามา CAM สนับสนุนการทำงานกับผลลัพธ์ทั้งที่เป็นแบบเข้ารหัส และไม่เข้ารหัส และรูปแบบที่จำกัดของการขยายความลึกและความกว้างที่ไม่เข้ารหัสที่ เครื่องมือออกแบบ Quartus megafunction สร้างให้โดยอัตโนมัติ (รูป A) การเริ่มค่าให้แอเรียเป็นการทำงานแบบ 2 รอบที่รอบแรกเป็นค่าแท้จริงแล้วจากนั้นสร้างลำดับบิตและรอบที่ 3 จะเป็นรอบของการเขียนซึ่งมีหรือไม่มีก็ได้ โดยจะจัดการกับบิตที่ไม่สนใจนำมาใช้งาน.